

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020076512 A  
(43)Date of publication of application: 11.10.2002

(21)Application number: 1020010016404  
(22)Date of filing: 29.03.2001

(71)Applicant: KOREA ADVANCED INSTITUTE  
OF SCIENCE AND  
TECHNOLOGY  
(72)Inventor: HAN, CHEOL HUI  
KIM, CHUNG GI  
YOON, JUN BO  
YOON, UI SIK

(51)Int. Cl. H01L 29/00

(54) FLOATING 3-D METAL DEVICE ON SEMICONDUCTOR SUBSTRATE, CIRCUIT OF THE SAME, AND METHOD FOR FABRICATING THE SAME

(57) Abstract:

PURPOSE: A floating 3-D metal device on a semiconductor substrate, a circuit of the same, and a method for fabricating the same are provided to improve capacity of a semiconductor device by reducing a loss of a signal.

CONSTITUTION: A substrate(11) is prepared. A 3-D sacrificial mold is formed on the substrate. The 3-D mold has the first space extended from a bottom metal layer(13) of the 3-D sacrificial mold to an upper portion and the second space separated from the bottom metal layer (13) of the 3-D sacrificial mold. The first space and the second space are filled by the third metal layer(21). The 3-D sacrificial mold is removed. The third metal layer(21) of a spiral shape is supported by the first support plates(22). A 3-D spiral inductor(104) is fabricated by installing a bottom ground metal layer(29) on a lower portion.



&copy; KIPO 2003

Legal Status

Date of final disposal of an application (20021218)  
Patent registration number (1003689300000)  
Date of registration (20030108)

BEST AVAILABLE COPY

특2002-0076512

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 29/00

(11) 공개번호 특2002-0076512  
(43) 공개일자 2002년10월11일

(21) 출원번호	10-2001-0016404
(22) 출원일자	2001년03월29일
(71) 출원인	한국과학기술원
	대전 유성구 구성동 373-1
(72) 발명자	윤준보
	대전광역시유성구전민동엑스포아파트410동1308호
	윤익식
	대전광역시유성구도룡동383-2과기원아파트1동405호
	김충기
	대전광역시유성구도룡동397-5삼정빌리지102호
	한철희
	대전광역시유성구신성동한울아파트103동502호
(74) 대리인	허진석

심사청구 : 있음

(54) 반도체 기판 위에 높이 떠 있는 3차원 금속 소자, 그 회로모델, 및 그 제조방법

요약

본 발명은 반도체 기판의 상부에 기판과 이격되어 공중에 높이 떠 있는 3차원 금속 소자, 그 회로 및 그 제조 방법에 관한 것이다. 본 발명에 따르면, 스피랄 인덕터, 솔레노이드 인덕터, 스피랄 트랜스포머, 솔레노이드 트랜스포머, 마이크로 미러, 전송선 등과 같이 금속으로 만들어진 다양한 무선통신용 및 광통신용 수동 전기소자가 반도체 기판의 상부에 기판과 이격되어 수심 마이크로미터의 높이로 공중에 떠서 3차원적으로 형성된 구조가 제공된다. 이와 같이 소자들이 기판으로부터 멀리 이격되어 있는 구조를 가짐으로써 기판으로의 신호 손실을 획기적으로 줄여 소자의 성능을 향상시키고, 기판과 독립된 소자 모델을 가능케 하며, 소자의 하부에 집적 회로의 형성을 가능케 하여 회로의 집적도를 높이게 된다. 또한, 3차원 금속 소자의 금속선을 두께 10 마이크로미터 이상의 구리 또는 금으로 형성하여 이들이 작은 직렬 저항과 큰 전류 한계를 갖도록 한다. 본 발명은 또한, 기존의 반도체 집적회로 기술로는 제조할 수 없었던 상기 반도체 기판 위에 높이 떠 있는 3차원 금속 소자를, 그 하부에 이미 제작된 집적 회로에 전혀 영향을 주지 않으면서 집적 회로의 상부에 모듈식 방식으로 제작할 수 있는 제조방법을 제공한다. 본 발명은 또한, 기판의 특성과 무관하고 본 발명에 따른 3차원 인덕터들에게 적합한 새로운 3차원 인덕터 모델을 제공한다.

도표도

도5

색인어

3차원, 금속 소자, 이격, 인덕터, 트랜스포머, 마이크로미러, 회생몰드

발생지

도면의 간단한 설명

- 도 1은 기존의 집적 인덕터의 사시도;
- 도 2는 도 1의 집적 인덕터 모델을 표시한 회로도;
- 도 3은 본 발명에 따른 3차원 회생 몰드 (3차원 스피랄 인덕터 제조용) 의 사시도;
- 도 4는 본 발명에 따른 3차원 스피랄 인덕터의 사시도;
- 도 5는 본 발명에 따른 집적층을 가지는 3차원 스피랄 인덕터의 사시도;
- 도 6은 본 발명에 따른 새로운 3차원 인덕터 모델을 표시한 회로도;

- 도 7은 본 발명에 따른 패턴된 접지를 가지는 3차원 스피랄 인덕터;  
 도 8은 본 발명에 따른 3차원 희생 몰드 (솔레노이드 인덕터 제조용) 의 사시도;  
 도 9는 본 발명에 따른 솔레노이드 인덕터의 사시도;  
 도 10a 내지 도 10f는 본 발명에 따라 제조된 3차원 스피랄 인덕터와 솔레노이드 인덕터의 제조 방법을 설명하기 위한 단면 개략도;  
 도 10g 내지 도 10i는 본 발명에 따라 제조된 3차원 스피랄 인덕터와 솔레노이드 인덕터의 또 다른 제조 방법을 설명하기 위한 단면 개략도;  
 도 11은 본 발명에 따른 공중에 떠있는 3차원 솔레노이드 인덕터의 사시도;  
 도 12는 본 발명에 따른 접지층을 가지면서 공중에 떠 있는 3차원 솔레노이드 인덕터의 사시도;  
 도 13은 본 발명에 따른 패턴된 접지를 가지면서 공중에 떠 있는 3차원 솔레노이드 인덕터의 사시도;  
 도 14는 본 발명에 따른 적층형 3차원 스피랄 인덕터의 사시도;  
 도 15는 본 발명에 따른 공중에 떠 있는 3차원 솔레노이드 트랜스포머의 사시도;  
 도 16은 본 발명에 따른 공중에 떠 있는 3차원 스피랄 트랜스포머의 사시도;  
 도 17은 본 발명에 따른 두가지 다른 구조의 리드선을 가지는 3차원 스피랄 인덕터의 사시도;  
 도 18은 본 발명에 따른 3차원 마이크로 미러의 사시도;  
 도 19 내지 도 29는 본 발명에 따른 다양한 구조의 3차원 전송선의 입체 형상을 보여주는 사시도를;  
 도 30은 본 발명에 따른 솔레노이드 형태의 접지선을 가지는 3차원 전송선의 사시도; 및  
 도 31은 본 발명에 따른 솔레노이드 형태의 접지선을 가지는 3차원 스피랄 인덕터의 사시도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- |   |                    |
|---|--------------------|
| 1 : 실리콘 기판                                | 2 : 절연층            |
| 3 : 리드 선                                  | 4 : 비아             |
| 5 : 스피랄 인덕터                               |                    |
| 11 : 기판                                   | 12 : 제 1 금속층       |
| 13 : 바닥 금속층                               | 14 : 제 1 노광 영역     |
| 15 : 3차원 희생 몰드                            | 16 : 제 2 노광 영역     |
| 17 : 제 1 공간                               | 18 : 제 3 노광 영역     |
| 19 : 제 2 공간                               | 21 : 제 3 금속층       |
| 22 : 제 1 지지대                              | 23 : 제 2 금속층       |
| 25 : 제 4 금속층                              | 26 : 제 2 지지대       |
| 29 : 바닥 접지 금속층                            | 30 : 패턴된 바닥 접지 금속층 |
| 31 : 제 1 신호 전극                            | 33 : 제 2 신호 전극     |
| 35 : 제 1 접지벽                              | 36 : 제 1 접지 날개     |
| 37 : 제 2 접지벽                              | 38 : 제 2 접지 날개     |
| 39 : 1차측 권선                               | 41 : 2차측 권선        |
| 43 : 제 1 포트                               | 45 : 제 2 포트        |
| 47 : 솔레노이드 형태의 접지선                        | 101 : 기존의 집적 인덕터   |
| 102 : 기존의 집적 인덕터 모델                       | 103 : 3차원 스피랄 인덕터  |
| 104 : 접지층을 가지는 3차원 스피랄 인덕터                |                    |
| 105 : 새로운 3차원 인덕터 모델                      |                    |
| 106 : 패턴된 접지를 가지는 3차원 스피랄 인덕터             |                    |
| 107 : 솔레노이드 인덕터                           |                    |
| 108 : 공중에 떠 있는 3차원 솔레노이드 인덕터              |                    |
| 109 : 접지층을 가지면서 공중에 떠 있는 3차원 솔레노이드 인덕터    |                    |
| 110 : 패턴된 접지를 가지면서 공중에 떠 있는 3차원 솔레노이드 인덕터 |                    |
| 111 : 적층형 3차원 스피랄 인덕터                     |                    |
| 112 : 공중에 떠 있는 3차원 솔레노이드 트랜스포머            |                    |

- 113 : 공중에 떠 있는 3차원 스프링 트랜스포머
- 114 : 상부에 떠 있는 리드선을 가지는 3차원 스프링 인덕터
- 115 : 하부에 떠 있는 리드선을 가지는 3차원 스프링 인덕터
- 116 : 3차원 마이크로 미러
- 117 ~ 127 : 다양한 형태의 3차원 전송선
- 128 : 솔레노이드 형태의 접지선을 가지는 3차원 전송선
- 129 : 솔레노이드 형태의 접지선을 가지는 3차원 스프링 인덕터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기판 위에 높이 떠 있는 3차원 금속 소자, 그 회로, 및 그 제조 방법에 관한 것으로서, 구체적으로는 스프링 인덕터(spring inductor), 솔레노이드 인덕터(solenoid inductor), 스프링 트랜스포머(transformer), 솔레노이드 트랜스포머, 마이크로 미러(micro mirror), 전송선(transmission line) 등과 같이 금속으로 만들어진 다양한 무선통신용 수동 전기소자가 반도체 기판의 상부에 기판과 이격되어 수십 마이크로미터의 높이, 예컨대 30 마이크로미터 이상의 높이로 공중에 떠서 형성된 구조를 갖는 3차원 금속 소자, 그 회로, 및 그 제조 방법에 관한 것이다. 본 발명은 또한, 기존의 반도체 집적회로 기술로는 제조할 수 없었던 위와 같은 반도체 기판 위에 높이 떠 있는 3차원 금속 소자를 제조하면서도 기존의 반도체 집적회로 기술과 호환되는 마이크로 머시닝(micromachining, 또는 MEMS) 제조 방법에 관한 것이다. 본 발명은 또한, 기판의 특성과 무관하고, 본 발명에 따른 3차원 인덕터들에게 적합한 새로운 3차원 인덕터 모델에 관한 것이다.

종전의 반도체 집적회로 기술은 1964년 제이. 에스. 킬비(J. S. Kilby)에게 허여된 미합중국 특허 제 3,138,743호로부터 출발하였다. '743 특허는 평면의 반도체 기판 위에 수동 소자(passive device)를 포함하는 각종 전기소자를 집적하는 기술을 개시하고 있다. '743 특허에 따르면, 수동 전기소자를 회로와 같은 평면, 즉 반도체 기판의 표면 상에 집적하고 있으므로, 따라서 칩(chip)의 크기가 컷을 뿐만 아니라, 기판(substrate)과 접촉하고 있기 때문에 발생하는 기판과의 기생 효과(parasitic effects)로 인해 수동 전기소자의 성능이 좋지 않은 단점이 있다. 이와 같은 단점은 최근 그 중요성이 점점 더해져 가고 있는 무선통신용 고주파 집적회로(RF IC) 및 초고주파 집적회로(MMIC)에 응용할 때 더욱 심각하다. 그래서 현재는, 칩 외부에 오프칩(off-chip) 수동 전기소자를 탑재하여 사용하고 있다. 이와 같은 오프칩 수동 전기소자는 전기적 성능은 좋지만, 이로 인해 시스템의 크기가 커지고 시스템 조립에 필요한 비용이 증가한다는 단점을 여전히 가지고 있다.

현재의 반도체 집적회로 기술로도 집적하기 어려운 소자 중에 대표적인 것은 인덕터이다. 일반적인 고주파용 회로에서 요구되는 인덕턴스(inductance)값을 얻기 위해 제작되는 집적 인덕터의 크기는 다른 능동 전기소자(active electric device)나 수동 전기소자에 비해 훨씬 크기 때문에 기판의 면적을 많이 차지한다. 그리고, 집적 인덕터가 기판과 붙어 있기 때문에 발생하는 기판과의 기생 효과와, 종래의 집적회로 기술로 구현할 수 있는 금속선의 두께(수 마이크로미터)의 한계로 인해, 이러한 종래의 집적 인덕터는 직렬저항이 크고 전류 한계가 작다는 단점이 있었다. 큰 기판 손실과 큰 직렬 저항은 인덕터의 특성 중에 가장 중요한 Q-팩터(Q-factor) 값을 작아지게 하고 Q 값의 최대치가 발생하는 주파수(peak-Q frequency)를 낮아지게 한다.

또한, 무선통신용 초고주파 회로 설계에 필수요소인 인덕터 모델에 대해 살펴보면, 기존의 집적 인덕터는 기판의 영향으로부터 자유로울 수 없기 때문에 복잡한 인덕터 모델을 사용하여야 하고 그나마도 기판의 특성에 따라 달라지는 등 정확하지 않은 실정이다. 이를 도 1을 통해 살펴보면, 도 1은 씨. 피. 유(C. P. Yue) 등이 IEEE Transactions on Electron Devices, vol. 47, pp. 560-568, March 2000 논문지에 발표한 'Physical Modeling of Spiral Inductors on Silicon'이란 제목의 논문에 게시된 종래의 집적회로 기술로 제조된 기존의 집적 인덕터(101)의 사시도이다. 도 1을 참조하면, 실리콘(Si) 기판(1) 상에 절연층(2)이 있고 그 상부에 스프링 인덕터(5)가 있다. 스프링 인덕터의 내부 도선은 비아(4)와 하부 리드선(lead wire)(3)을 통해 밖으로 연결된다.

도 2는 도 1의 집적 인덕터 모델(102)을 표시한 회로도이다. 도 1과 함께 도 2를 참조하면, 스프링 인덕터(5)의 금속선 자체에 직렬 저항(R)과 인덕턴스(L) 성분이 있고, 스프링 인덕터(5)와 하부에 있는 리드선(3)에는 프링지(fringe) 캐패시턴스(Cf)가 생기며, 스프링 인덕터(5)와 하부에 있는 실리콘 기판(1)의 표면 간에는 절연층(2)에 의한 ox 캐패시턴스가 있으며, 실리콘 기판 내부에는 기판 저항(Rsi)과 기판 캐패시턴스(Csi)가 있다. 이 모든 성분들이 도 2의 형태로 연결되어 기존 집적 인덕터 모델(102)을 형성한다. 이를 좀 바로 기판 저항(Rsi)과 기판 캐패시턴스(Csi)가 기판의 두께, 물질 특성 및 접지면(ground plane)의 분포, 유무에 의해 달라지기 때문에 기판과 독립적인 모델을 불가능하게 한다.

현재까지 집적 스프링 인덕터의 성능을 향상시키는 방법으로는 인덕터 하부의 기판을 식각하여 기판과의 기생 캐패시턴스를 줄이는 방법(미합중국 특허 제 5,539,241호, 제 5,773,870호, 및 제 5,844,299호)이 제안된 바 있는데, 이러한 방법들은 인덕터 하부의 기판을 식각하기 때문에 인덕터 하부에 회로를 집적하지 못하며, 기판을 식각하는 공정이 집적회로 공정과 호환되기 어렵고, 패키지(package)에 많은 문제를 일으킬 수 있다.

또 다른 방법으로서, 인덕터와 기판 사이에 폴리이미드(polyimide)와 같은 두꺼운 절연층을 넣어 기판과 인덕터의 캐패시턴스(도 1과 도 2의 Cox)를 줄이는 방법(미합중국 특허 제 5,478,773호 및 제 5,805,043호)이 제안된 바 있는데, 인덕터가 하부의 집적 회로에 영향을 주지 않기 위해서는 수십 마이크로미터 이상의 두께를 갖는 절연층이 필요할 것으로 예상되고, 절연층의 유전 상수(dielectric coefficient) 역시 매우 작아야 하며, 절연층을 형성하는 공정의 온도 등이 하부에 이미 제작된 집적 회로에 영향을 주어서는 안 된다는 제약이 있다.

또 다른 방법으로서, 쉘레노이드 형태의 인덕터를 제조해 단위 면적당 인덕턴스를 증가시키고 신호 손실을 줄이는 제조방법(미합중국 특허 제 6,008,102호)이 제안된 바 있는데, 이 제조방법은 포토레지스트 물드와 도금 금속을 형성하는 작업을 세 번 반복적으로 수행하여 금속을 3층으로 적층, 쉘레노이드 인덕터를 제조하는 것이다. 이 방법은 이론적으로는 가능할 지 모르나 실제로 본 발명인들이 공정을 수행해 본 결과 많은 문제점을 가지고 있음을 알게 되었다. 그 중, 이 제조방법이 가진 가장 큰 문제점은 상부의 포토레지스트 물드를 형성하는 과정에서 하부의 포토 레지스트 물드의 형태가 변할 수 있다는 점이다. 이것은 포토레지스트의 모양이 열에 의해 변형되기 쉽기 때문이며 이는 본 기술에 해당하는 담당자라면 쉽게 알 수 있다. 따라서 이 제조 방법으로는 쉘레노이드 인덕터를 높은 수율로 재현성 있게 제작하는 것이 불가능하며 특히 20 마이크로미터 이상의 코어 높이를 가지는 쉘레노이드 인덕터는 제작하기 어렵다.

이상에서 언급한 인덕터 뿐만 아니라 최근에 반도체 기판 상에 트랜스포머, 마이크로 미러, 및 전송선과 같은 다양한 무선통신용 및 광통신용 수동 전기소자를 집적화하려는 시도가 가속화하고 있다. 그러나, 이 같은 기판 상에 적은 면적을 차지하고, 적은 기판 손실과 우수한 Q-팩터를 갖게 하기 위한 구조와 기판과 무관한 회로 모델 및 다양한 제조 방법이 없는 실정이다.

### 본 발명이 이루고자 하는 기술적 과제

상기와 같은 종래의 문제점을 해결하기 위한 본 발명의 기술적 과제는, 스피럴 인덕터, 쉘레노이드 인덕터, 스피럴 트랜스포머, 쉘레노이드 트랜스포머, 마이크로 미러, 전송선 등과 같이 금속으로 만들어진 다양한 무선통신용 및 광통신용 수동 전기소자들을 반도체 기판 상에 형성할 경우, 기판으로의 신호 손실을 획기적으로 줄여 소자의 성능을 향상시키고, 기판과 독립된 소자 모델을 가능케 하며, 소자의 하부에 집적 회로의 형성을 가능케 하며 회로의 집적도를 크게 높여주는 3차원 금속 소자 제조 방법을 제공하는 것이다.

본 발명의 다른 기술적 과제는, 직렬저항을 줄이고 3차원 금속 소자에 흐를 수 있는 전류한계를 늘일 수 있는 금속선을 가진 3차원 금속 소자 제조 방법을 제공하는 것이다.

본 발명의 또 다른 기술적 과제는, 이미 제작된 집적회로에 전혀 영향을 주지 않으면서 집적회로의 상부에 우수한 성능을 갖는 3차원 금속 소자들을 모놀리식(monolithic) 방식으로 제작할 수 있는 마이크로 머시닝 제조 방법을 제공하는 것이다.

본 발명의 또 다른 기술적 과제는, 상기한 3차원 금속 소자 제조 방법을 이용하여, 스피럴 인덕터, 쉘레노이드 트랜스포머, 스피럴 트랜스포머, 쉘레노이드 트랜스포머, 마이크로 미러, 전송선 등과 같은 금속재료의 다양한 무선통신용 및 광통신용 수동 전기소자들을 제공하는 것이다.

또한, 본 발명의 또 다른 기술적 과제는, 기판의 특성과 무관하고 본 발명에 따른 3차원 인덕터들에게 적합한 새로운 3차원 인덕터 모델을 제공하는 것이다.

### 본 발명의 구성 및 작용

본 발명은 상술한 바와 같은 목적을 달성하기 위한 것으로서, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 스피럴 인덕터는, 스피럴 모양으로 공중에 떠 있는 제 3 금속층과, 상기 스피럴 모양의 제 3 금속층의 내부 끝과 외부 끝으로부터 수직으로 하부의 기판, 바닥 금속층, 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 스피럴 모양의 제 3 금속층을 지지해 주는 두 개의 제 1 지지대(support)와, 상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 상기 집적회로의 상부에 있는 상기 바닥 금속층 중 어느 하나를 포함한다.

또한, 본 발명에 따른 쉘레노이드 인덕터는, 막대 모양으로 공중에 떠 있는 한 개 이상의 상기 제 3 금속층과, 상기 개개의 막대 모양의 제 3 금속층의 양쪽 끝으로부터 수직으로 하부에 막대 모양을 하고 있는 서로 인접한 두 개의 바닥 금속층의 서로 다른 쪽 끝과 연결되어 상기 막대 모양의 제 3 금속층을 지지해 주는 각각 두 개의 제 1 지지대와, 상기 제 1 지지대의 하부에서 막대 모양을 하고 있는 한 개 이상의 상기 바닥 금속층과, 상기 바닥 금속층의 하부에 있는 상기 기판 또는 상기 기판과 상기 기판의 상부에 있는 집적회로 중 어느 하나를 포함한다.

또한, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 쉘레노이드 인덕터는, 막대 모양으로 공중에 떠 있는 한 개 이상의 제 4 금속층과, 상기 개개의 막대 모양의 제 4 금속층의 양쪽 끝으로부터 수직으로 하부에 막대 모양으로 공중에 떠 있는 서로 인접한 두 개의 상기 제 3 금속층의 서로 다른 쪽 끝과 연결되어 상기 막대 모양의 제 4 금속층을 지지해 주는 각각 두 개의 제 2 지지대와, 상기 제 2 지지대의 하부에서 막대 모양을 하고 있는 한 개 이상의 상기 제 3 금속층과, 상기 막대 모양의 제 4 금속층, 상기 제 2 지지대, 및 상기 막대 모양의 제 3 금속층으로 이루어진 공중에 떠 있는 쉘레노이드 인덕터의 양쪽 끝으로부터 수직으로 하부의 상기 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 쉘레노이드 인덕터를 지지해 주는 두 개의 상기 제 1 지지대와, 상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 상기 집적회

로의 상부에 있는 상기 바닥 금속층 중 어느 하나를 포함한다.

또한, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 쉘레노이드 트랜스포머는, 상기한 공중에 떠 있는 3차원 쉘레노이드 인덕터의 구성요소 중, 상기 제 4 금속층, 상기 제 2 지지대, 상기 제 3 금속층, 및 상기 제 1 지지대로 이루어지는 상기 공중에 떠 있는 쉘레노이드 인덕터의 권선(turn)들을 모두 한 가닥으로 연결하지 않고 1차측 권선과 2차측 권선, 두 가닥으로 분리하여 1차측의 소정의 권선마다 번갈아가며 2차측 권선을 감는 형태를 포함한다.

또한, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 스피럴 트랜스포머는, 스피럴 모양으로 공중에 떠 있는 상기 제 4 금속층과, 상기 스피럴 모양의 제 4 금속층의 양쪽 끝으로부터 수직으로 하부의 상기 제 1 지지대와 연결되어 상기 스피럴 모양으로 공중에 떠 있는 제 4 금속층을 지지해 주는 두 개의 상기 제 2 지지대와, 상기 스피럴 모양으로 공중에 떠 있는 제 4 금속층의 하부에서 스피럴 모양으로 공중에 떠 있는 상기 제 3 금속층과, 상기 스피럴 모양으로 공중에 떠 있는 제 3 금속층의 양쪽 끝으로부터 수직으로 하부의 상기 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 스피럴 모양으로 공중에 떠 있는 제 3 금속층을 지지해 주는 두 개의 상기 제 1 지지대와, 상기 두 개의 제 2 지지대의 하부로부터 수직으로 하부의 상기 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 두 개의 제 2 지지대를 지지해 주는 두 개의 상기 제 1 지지대와, 상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 상기 기판의 상부에 있는 집적회로와 연결되어 상기 바닥 금속층 중 어느 하나를 포함한다.

또한, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 전송선은, 공중에 떠 있는 상기 제 3 금속층으로 구성된 전송선과, 상기 공중에 떠 있는 전송선의 양쪽 끝으로부터 수직으로 하부의 상기 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 전송선을 지지해 주는 두 개의 상기 제 1 지지대와, 상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 연결되어 상기 바닥 금속층 중 어느 하나를 포함한다.

또한, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 마이크로 미러는, 공중에 떠 있는 금속 미러판과, 상기 공중에 떠 있는 금속 미러판의 소정의 영역으로부터 수직으로 하부의 상기 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 금속 미러판을 지지해 주는 한 개 이상의 상기 제 1 지지대와, 상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 연결되어 상기 바닥 금속층 중 어느 하나와, 상기 공중에 떠 있는 금속 미러판의 하부에 있는 상기 기판 또는 상기 기판의 상부에 있는 집적회로 중 어느 하나의 상부에 소정의 모양을 하고 있는 한 개 이상의 전극 금속층을 포함한다.

또한, 본 발명에 따른 반도체 기판 위에 높이 떠 있는 3차원 인덕터에 대한 새로운 3차원 인덕터 모델은, 한 쪽이 접지된 제 1 포트와, 한 쪽이 접지된 제 2 포트와, 상기 제 1 포트의 접지되지 않은 쪽과 상기 제 2 포트의 접지되지 않은 쪽 사이에 직렬로 연결된 저항( $R$ )과 인덕턴스( $L$ ) 성분과, 상기 제 1 포트의 접지되지 않은 쪽과 상기 제 2 포트의 접지되지 않은 쪽 사이에 연결된 프런지 캐패시턴스( $C_f$ ) 성분과, 상기 제 1 포트의 접지된 쪽과 접지되지 않은 쪽간에 연결된  $C_0$  캐패시턴스 성분과, 상기 제 2 포트의 접지된 쪽과 접지되지 않은 쪽간에 연결된 상기  $C_0$  캐패시턴스 성분으로 구성된다.

또한, 본 발명의 일 실시예에 따른 반도체 기판 위에 높이 떠 있는 3차원 금속 소자의 제조방법은: (a) 기판을 마련하는 단계; (b) 상기 기판 상에 3차원 희생 물드를 형성하고, 상기 3차원 희생 물드의 바닥에서 상부로 연장된 제 1 공간과 이에 연결되며 상기 3차원 희생 물드의 바닥과 이격되어 있는 제 2 공간을 갖는 소정의 3차원 형상으로 형성하는 단계; (c) 상기 제 1 및 제 2 공간을 제 3 금속층으로 채우는 단계; 및 (d) 상기 3차원 희생 물드를 제거하는 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 다른 실시예에 따른 반도체 기판 위에 높이 떠 있는 3차원 금속 소자 제조방법은: (a) 기판을 마련하는 단계; (b) 상기 기판 상에 3차원 희생 물드를 형성하고, 상기 3차원 희생 물드의 바닥에서 상부로 연장된 제 1 공간과 이에 연결되며 상기 3차원 희생 물드의 바닥과 이격되어 있는 제 2 공간을 갖는 소정의 3차원 형상으로 형성하는 단계; (c) 상기 제 1 및 제 2 공간을 제 3 금속층으로 채우는 단계; (d) 상기 3차원 희생 물드와 상기 제 3 금속층의 상부에 대해 상기 (b) 단계를 한 번 더 수행하고, 제 4 금속층으로 채우는 단계; (e) 상기 3차원 희생 물드를 제거하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명하면 다음과 같다.

도 3은 본 발명에 따른 3차원 희생 물드(15)의 사시도이다. 기판(11)은 실리콘(Si)이나 실리콘저마늄(SiGe), 갈륨아세나이드(GaAs)와 같은 반도체이거나 알루미늄(alumina), 유리, 석영(quartz), 기타 플라스틱 등 어떤 것이거나 좋다. 전체 공정의 온도가 섭씨 120도를 넘지 않기 때문에 이에 견디는 기판이면 제약이 없다. 또한, 반도체 기판인 경우에 기판(11)은 표면에 집적 회로를 내포할 수 있고, 기판의 표면에 집적회로가 있을 경우 바닥 금속층(13) 또는 제 1 공간(17)의 하부 중 소정의 영역은 반도체 기판의 집적회로와 도 1의 비마(4)와 같은 요소를 이용하여 전기적으로 연결된다. 도 3에 따르면, 제 1 공간(17)은 3차원 희생 물드(15)의 바닥으로부터 소정의 높이로 3차원 희생 물드의 내부에 형성된 속이 빈 공간이고, 그 높이는 3차원 희생 물드의 높이 보다 작으며, 제 2 공간은 제 1 공간의 높이로부터 3차원 희생 물드의 표면까지 3차원 희생 물드의 내부에 형성된 속이 빈 공간이며, 상기 제 1 공간과 상기 제 2 공간은 서로 통하는 부분을 최소한 한 군데 이상 반드시 갖는다. 이 3차원 희생 물드(15)는 포토레지스트(photoresist), 폴리이미드(polyimide)와 같은 감광성 혹은 비 감광성 폴리머(polymer) 계열, 감광 유리(photosensitive glass)나 스피 온 글래스(spin on glass)와 같은 유리 계열, 또는 일반 플라스틱 등 절연성이 있고 수십 마이크로미터 두께의 코팅이 용이하며 금속에 대해 선택적으로 제거가 용이한 물질이면 어

편 것이나 가능하다. 또한, 이러한 물질에 3차원적으로 제 1 공간(17)과 제 2 공간(19)을 형성하는 방법은 나중에 설명할 두 단계 자외선 조사 방법 뿐 아니라 레이저 가공과 같은 일반적인 가공 방법도 사용 가능하다. 이 두 공간을 도금(electroplating) 등의 방법으로 제 3 금속층(21)으로 채우고 3차원 희생 몰드(15)를 제거하면, 도 4와 같이 스피랄 모양의 제 3 금속층(21)이 두 개의 제 1 지지대(22)에 의해 지지된 채 수십 마이크로미터의 높이(h)로 이격되어 공중에 떠 있는 3차원 스피랄 인덕터(103)가 제조된다. 참고로, 제 1 지지대(22)가 기판(11) 표면에 있는 집적회로와 도 1의 비아(4)와 같은 요소들을 통해 바로 연결될 경우에는 도 4의 도시된 바닥 금속층(13)은 필요하지 않다.

이렇게 기판으로부터 기존의 집적회로 기술로는 구현할 수 없는 높이로 이격시킨 구조를 제공함으로써 3차원 스피랄 인덕터(103)가 하부의 집적 회로에 줄 수 있는 전자기적 영향을 최소화하여 하부에 집적회로를 형성할 수 있게 하고, 아울러 기판(11)으로의 신호 손실을 최소화한다. 또한, 기존의 반도체 공정으로 구현된 인덕터 등의 소자를 구성하는 금속선의 두께가 최대 4 마이크로미터 정도였던 것에 비해 본 발명에서는 3차원 금속 소자를 이루는 금속선을 전기저항이 매우 작은 구리 또는 금과 같은 물질로 하고, 더하여 그 두께를 10 마이크로미터 이상으로 하여 작은 직렬 저항과 큰 전류 한계를 가지도록 한다. 참고로 본 발명자들이 수행한 실험에 의하면 두께와 폭이 각각 20 마이크로미터와 15 마이크로미터인 구리로 된 금속선에 흘릴 수 있는 허용 전류는 180mA 정도였으며 이는 거시 세계(macro world)에서 구리로 된 도선에 흘릴 수 있는 전류밀도의 100배에 해당하는 수치이다. 그러므로, 상술한 바와 같은 도 4에 도시된 구조와 금속선의 두께를 통하여, 높은  $Q$ -팩터와 큰 전류 한계를 가지는 우수한 성능의 3차원 인덕터를 기판 면적의 추가 사용 없이 기존의 집적 회로와 같이 집적할 수 있게 되는 것이다.

도 5는 도 4에 도시된 3차원 스피랄 인덕터(103)의 하부에 바닥 접지 금속층(29)을 설치하여 제작한, 접지층을 가지는 3차원 스피랄 인덕터(104)의 구조를 도시하고 있다. 바닥 접지 금속층(29)은 바닥 금속층(13)과 같은 제조 단계에서 제작된다. 이렇게 공중에 높이 떠 있는 인덕터의 하부에 접지층을 가지는 구조를 고안함으로써 인덕터에서 발생한 전자기파가 하부의 기판으로 들어가는 것을 차단하여 도 6과 같이 기판과 무관한 새로운 3차원 인덕터 모델(105)을 사용할 수 있게 한다. 도 6의 새로운 3차원 인덕터 모델은 도 2의 기존의 집적 인덕터 모델과 비교하면, 먼저 스피랄 인덕터의 금속선인 제 3 금속층(21) 자체에 직렬 저항(R)과 인덕턴스(L) 성분이 생기는 것과 스피랄 인덕터의 금속선인 제 3 금속층(21)과 하부에 있는 전극 간에 프라지 캐패시턴스(C)가 생기는 것을 본다. 그러나, 제 1 포트(43)와 제 2 포트(45)의 각각 접지된 쪽과 접지되지 않은 쪽 사이에 연결되는 절연층에 대한 캐패시턴스인  $C_{ox}$  대신 공기를 매질로 하는 캐패시턴스인  $C_s$ 가 존재하고 바닥 접지 금속층(29)이 존재함으로써  $C_{ox}$ 과  $C_{si}$ 이 제거됨을 알 수 있다. 다시 말해, 도 5의 구조로 인하여 기판을 배제한 인덕터 자체의 물리적인 치수에 의해서만 모든 파라미터(parameter)가 결정되는 완벽한 물리적 모델이 가능해 지는 것이다. 또한,  $C_s$  값은 수십 마이크로미터나 되는 높이 사이의 캐패시턴스이기 때문에 수 마이크로미터의 높이 사이에 존재하는  $C_{ox}$ 에 비해 10 배 이상 작은 값을 갖는다. 이 점은 인덕터 사용 주파수 영역을 크게 높이는 역할을 한다.

또한, 도 7은 패턴된 바닥 접지 금속층(30)을 가지는 3차원 스피랄 인덕터(106)의 구조를 도시하고 있다. 이렇게 하는 이유는 인덕터에서 생긴 전자기장이 바닥 접지 금속층(29) 내에 에디 전류(eddy current)를 유발시키는 것을 막기 위함이다. 접지 금속층을 단일의 판이 아닌 소정의 패턴 모양으로 형성함으로써 접지 금속층 내에 생길 수 있는 전류의 흐름을 잘게 끊어주는 역할을 한다.

도 8은 솔레노이드 인덕터(107)의 제조에 사용되는 3차원 희생 몰드(15)의 사시도이다. 도 3과 마찬가지로 3차원 희생 몰드(15)는 제 1 공간(17)과 제 2 공간(19)을 갖는 3차원 형상을 하고 있다. 이 두 공간을 도금(electroplating) 등의 방법으로 제 3 금속층(21)으로 채우고 3차원 희생 몰드(15)를 제거하면 도 9와 같이 솔레노이드 코어(core)의 높이가 수십 마이크로미터인 솔레노이드 인덕터(107)가 제조된다. 이렇게 기존의 집적회로 기술로는 구현할 수 없는 높이로 코어를 형성함으로써 기판으로의 신호 손실을 최소화 하고 인덕턴스를 최대화할 수 있는 장점이 있다.

다음으로, 도 10a부터 도 10f까지는 도 4와 도 9에 도시된 본 발명에 따른 3차원 스피랄 인덕터(103)와 솔레노이드 인덕터(107)의 제조 과정의 일 실시예를 설명하기 위한 단면 개략도이다. 참고로 3차원 스피랄 인덕터(103)와 솔레노이드 인덕터(107)의 제조 과정이 동일하기 때문에 도 3에 도시된 단면 A와 도 8에 도시된 단면 B를 도 10a부터 도 10f까지에 같이 나타내었다.

우선, 도 10a를 참조하여 살펴보면, 집적회로를 내포하거나 또는 내포하지 않은 기판(11) 위에 도금에 필요한 제 1 금속층(12)을 형성한다. 기판에 대한 설명은 전술한 바와 같다. 제 1 금속층(12)은 금속이고 기판과의 접착력이 좋은 물질이면 대부분 사용할 수 있으며 본 실시예에서는 제 1 금속층(12)으로 타이타늄(Ti) 또는 크롬(Cr)을 0.02 마이크로미터 두께로, 구리(Cu) 또는 금(Au)을 0.2 마이크로미터의 두께로 순차적으로 진공을 깨지 않은 상태에서 증착하여 사용한다. 이후 설명할 모든 금속층들, 즉 바닥 금속층과 제 2 금속층부터 제 4 금속층까지는 제 1 금속층의 상부 물질이 구리인 경우 모두 구리로, 제 1 금속층의 상부 물질이 금인 경우 모두 금으로 구성됨을 미리 밝힌다. 이어서, 필요할 경우 제 1 금속층(12)의 상부에 바닥 금속층(13)을 일반적인 사진작업(photolithography)과 도금 등을 통해 형성한다. 바닥 금속층(13)은 후술에 바닥 접지 금속층(29)등으로도 사용될 수 있다. 본 실시예에서는 제 1 금속층으로 두께 10 마이크로미터의 구리 또는 금 중 제 1 금속층의 상부 금속과 동일한 금속을 도금하여 사용한다. 이어서, 40 마이크로미터 이상으로 두꺼운 3차원 희생 몰드(15)를 제작한다. 본 실시예에서는 미국 클라리언트(Clariant)사에서 제조하는 AZ9260(상표명) 포토레지스트를 3차원 희생 몰드로 사용하며 두께 80 마이크로미터로 도포한다. 이어서 두 단계로 나누어 자외선을 노광(exposure)하게 된다. 도 10a에 도시한 바와 같이 첫 번째 노광(UV1)은 소정의 패턴으로 3차원 희생 몰드(15)의 소정의 깊이까지만 (본 실시예에서는 30 마이크로) 노광하여 제 1 노광 영역(14)을 형성하고 두 번째 노광(UV2)은 첫 번째 노광단계에서 사용한 패턴과 다른 소정의 패턴으로 3차원 희생 몰드(15)의 바닥까지 완전히 노광하여 제 2 노광 영역(16)을 형성한다. 참고로, 제 3 노광 영역(18)은 두 번째 걸쳐 중복해서 노광된 영역으로 제 2 노광 영역(14)과 제 2 노광 영역(16)의 교집합이다. 이때, 서로 분리되어 있는 제 1 노광 영역(14)들은 각각의 제 1 노광 영역(14) 내에 제 2 노광 영역(16)과 겹치는 영역인 제 3 노광 영역(18)을 최소한 한 군데 이상 내포하게 해야 한다. 본 실시예에서는, 단위면적당 자외선 전력이 10 mW/cm<sup>2</sup> 인 자외선 노광기로 첫 번째 노광(UV1)시간을 60초로 하고 두 번째 노광(UV2)시간을 300초로 하여 두께 30 마이크로미터의 제 1 노광 영역(14)을 형성한다.

이렇게 두 번에 걸친 노광을 하고 나서 현상(development) 용액에 시편을 담겨 현상을 하면 양성(positive) 포토레지스트인 경우 노광된 부분이 모두 제거되어 도 10b에 도시된 바와 같은 3차원 희생 물드(15)내에 빈 공간들을 형성하게 된다. 현상은 미국 클래리언트 사의 AZ340(상표명) 현상액을 사용한다. 이때, 제 1 노광 영역(14)과 제 3 노광 영역(18)에 있던 3차원 희생 물드(15)는 제거되어 제 2 공간(19)을 형성하고 제 2 노광 영역(16)에 있던 3차원 희생 물드(15)는 제거되어 제 1 공간(17) 또는 제 1 공간(17)과 제 2 공간(19)을 형성한다. 앞서도 설명하였지만 여기서는 3차원 희생 물드(15)를 만들기 위한 한 가지 방법을 설명하였으나 레이저 가공과 같은 일반적인 방법도 사용 가능하다. 이때 기판으로부터 제 1 공간(17)의 하부까지의 높이는, 3차원 희생 물드(15)의 두께인 80 마이크로미터에서 제 1 공간(17)의 높이인 30 마이크로미터를 뺀 50 마이크로미터가 되어 바로 이 높이로 3차원 금속 소자가 공중에 띄게 되는 것이다.

이어서, 도 10c에 도시한 바와 같이 시편의 전체적인 표면에 제 2 금속층(23)을 형성한다. 본 실시예에서는 제 2 금속층(23)으로 제 1 금속층의 상부 금속과 같은 구리 또는 금을 0.05 마이크로미터의 두께로 진공 증착하여 사용한다. 다음으로 3차원 희생 물드(15)의 최상부에 있는 제 2 금속층(23)만을 제거하는데, 이렇게 하는 이유는 다음과 같다. 일반적으로 제 2 금속층(23)을 진공 증착할 때에는 도 10c에 도시한 바와 같이 기판과 수직인 3차원 희생 물드(15)의 옆면에는 증착되지 않고, 기판과 평행한 표면에만 증착된다. 그러나, 복시라도 3차원 희생 물드(15)의 옆면에 증착될 경우 3차원 희생 물드(15)의 최상부에 있는 제 2 금속층(23)과 제 1 공간(17) 및 제 2 공간(19)의 하부에 있는 제 2 금속층(23)간에 전기적으로 도통하여 이후 도금과정에서 3차원 희생 물드(15)의 최상부에도 도금이 일어나기 때문에 이를 막기 위한 것이다. 이렇게 3차원 희생 물드(15)의 최상부에 있는 제 2 금속층(23)만을 제거하는 방법으로는, 제 2 금속층(23)을 식각할 수 있는 용액에 시편의 표면만 담그는 방법들 그 어떠한 일반적인 표면 식각 방법이 사용될 수 있으며 본 실시예에서는 특별히 폴리싱(polishing) 공정을 수행한다. 도 10c와 도 10d에 도시한 점선은 폴리싱 공정이 진행될 깊이를 가리킨다. 즉, 점선이 표시한 깊이까지 폴리싱을 진행하여 3차원 희생 물드(15)의 최상부에 있는 제 2 금속층(23)을 제거한다. 도 10d는 표시한 점선까지 폴리싱을 수행한 이후의 단면을 도시하고 있다.

이어서, 도금 또는 무전해 도금을 수행하면 다음과 같은 순서로 도 10e에 도시한 바와 같이 제 1 공간(17)과 제 2 공간(19)이 단일의 제 3 금속층(21)으로 채워지게 된다. 우선, 도 10d와 같은 상태에서 도금을 시작하면 제 1 공간(17)을 모두 제 3 금속층(21)으로 채워 제 1 지지대(22)를 형성할 때까지 도금은 제 1 공간(17)에서만 발생한다. 제 1 공간이 모두 제 3 금속층(21)으로 차고 나면 제 2 공간(19)의 하부에 있던 제 2 금속층(23)에 제 3 금속층(21)이 닿게 되고, 그렇게 되면 제 2 공간(19)의 하부에 있는 제 2 금속층(23)의 상부에도 도금이 시작되어 제 2 공간(19)도 제 3 금속층(21)으로 채워지게 되는 것이다. 즉, 단 한번의 연속적인 도금으로 제 1 공간(17)과 제 2 공간(19)이 단일의 제 3 금속층(21)으로 채워지게 되어 제 1 지지대(22)가 그 상부의 제 3 금속층(21)과 끊어짐 없이 한 물체를 이룬다는 것이다. 이 점은 본 실시예의 구조적인 특징이며 기계적인 견고한 측면과 직렬 저항 측면에서 장점이랄 수 있다. 참고로, 서로 분리되어 있는 상기 제 1 공간들은 각각의 상기 제 1 공간 내에 상기 제 2 공간과 통하는 부분을 최소한 한 군데 이상 반드시 내포하게 하며, 서로 분리되어 있는 상기 제 2 공간들은 각각의 상기 제 2 공간 내에 상기 제 1 공간과 통하는 부분을 최소한 한 군데 이상 반드시 내포하게 해야 전술한 바와 같은 한 물체로 된 제 1 지지대(22)와 제 3 금속층(21)을 형성할 수 있다.

만일 제 2 금속층(23)이 3차원 희생 물드(15)의 옆면에 존재하는 경우에도 제 1 공간(17)과 제 2 공간(19)은 단일의 제 3 금속층(21)으로 채워지게 되며, 만일 이때 제 3 금속층(21)이 3차원 희생 물드(15)의 상부로 돌출된다 하더라도 이후 폴리싱 공정 등을 통해 돌출된 부위를 갈아내면 된다. 본 실시예에서는 제 3 금속층(21)으로 제 2 금속층(23)과 같은 구리 또는 금을 사용했으며 제 2 공간(19)에 채워지는 제 3 금속층(21)의 두께는 10 마이크로미터 이상으로 한다.

이어서, 3차원 희생 물드(15)를 유기용제(아세톤)등과 같은 3차원 희생 물드 제거액으로 제거한다. 3차원 희생 물드가 제거된 상태에서 보면 기판 상에 제작된 3차원 금속 소자까지 제 1 금속층(12)을 통해 모두 전기적으로 연결되어 있다. 그래서 소자끼리의 전기적인 격리를 위해 제 1 금속층(12) 중 일부 영역을 제거하는 단계를 거치게 되는데, 제 1 금속층(12)을 이루는 두 층의 금속 중 상부 금속이 구리이면 구리 식각액에 구리면 금 식각액에 시편을 담겨 바닥 금속층(13) 또는 바닥 금속층(13)이 없는 경우 제 1 지지대(22)의 하부에 있는 부분을 제외한 모든 영역에 있는 제 1 금속층의 상부 금속을 제거한다. 이 때, 제 1 지지대(22)를 포함하는 제 3 금속층(21)도 제 1 금속층(12)의 상부 금속과 같은 금속이기 때문에 그 표면이 식각되지만 식각되는 두께는 구조체의 두께에 비해 매우 미미하기 때문에 무시할 수 있다. 그러나, 제 2 금속층(23)은 두께가 얇기 때문에 도 10e에서 외부에 노출되어 있는 제 2 금속층(23), 즉 제 1 공간(19)의 하부에 있던 부분은 같이 제거된다. 다음으로 제 1 금속층의 하부 금속이 타이타늄이면 타이타늄 식각액에, 크롬이면 크롬 식각액에 시편을 담겨 바닥 금속층(13) 또는 바닥 금속층(13)이 없는 경우 제 1 지지대(22)의 하부에 있는 부분을 제외한 모든 영역에 있는 제 1 금속층의 하부 금속을 제거하면, 도 10f에 도시된 바와 같은 단면 구조를 갖는 공중에 떠 있는 3차원 스피럴 인덕터(103)와 솔레노이드 인덕터(107)가 제조 된다.

다음으로, 도 10g부터 도 10i까지는 본 발명에 따른 3차원 스피럴 인덕터(103)와 솔레노이드 인덕터(107)의 제조 과정의 다른 실시예를 설명하기 위한 단면 개략도이다. 본 실시예의 제조 과정은 도 10a부터 도 10b까지의 제 1 공간(17)과 제 2 공간(19)을 내포하는 3차원 형상의 3차원 희생 물드(15)를 형성하는 과정을 미리 포함한다. 이후, 도 10g에 도시한 바와 같이 도금 또는 무전해 도금을 통하여 제 1 공간(17)을 이전 실시예에서와 같은 제 3 금속층(21)으로 채워 제 1 지지대(22)를 형성한다. 제 1 지지대(22)의 높이는 정확히 제 1 공간(17)의 높이와 일치할 필요가 없으며 모자라거나 넘쳐도 이후 공정에 아무 지장이 없다. 이어서, 도 10a에 도시한 바와 같이 3차원 희생 물드(15)의 최상부와 제 2 공간(19)의 하부 및 제 1 지지대(22)의 상부에 이전 실시예에서와 같은 제 2 금속층(23)을 형성한다. 다음으로 폴리싱 공정을 수행하는데, 도 10h와 도 10i에 도시한 점선은 폴리싱 공정이 진행될 깊이를 가리킨다. 즉, 점선이 표시한 깊이까지 폴리싱을 진행하여 3차원 희생 물드(15)의 최상부에 있는 제 2 금속층(23)만을 제거한다. 이렇게 하는 이유는 이전 실시예에서 설명한 바와 같다. 도 10i는 표시한 점선까지 폴리싱을 수행하고 이후 금속 두께 10 마이크로미터 이상의 도금 또는 무전해 도금을 실시하여 제 2 공간(19)이 제 3 금속층(21)



으로 채워진 상태의 단면을 도시하고 있다.

이어서, 이전 실시예에서와 같이 3차원 희생 물드(15)를 아세톤등으로 제거하고 소자끼리의 전기적인 격리를 위해 제 1 금속층 중 일부 영역을 제거하면 도 10j에 도시된 바와 같은 단면 구조를 갖는 공중에 떠 있는 3차원 스피랄 인덕터(103)와 솔레노이드 인덕터(107)가 제조된다.

전술한 두가지 실시예에서 제조된 도 10f와 도 10j의 구조를 갖는 3차원 금속 소자의 금속선의 두께를 더 두껍게 하거나 표면을 매끄럽게 하여 고주파에서의 직렬 저항을 줄이고 Q-팩터를 높이기 위해 구리나 금 등으로 무전해 도금을 더 수행하거나 구리 또는 금 식각액에서 살짝 식각하는 공정을 더 거칠 수 있다. 무전해 도금은 표면에 드러나 있는 금속 상에는 어느 영역에나 발생하기 때문에 도 10f와 도 10j의 상태에서 수행하면 바닥 금속층(13), 제 1 지지대(22), 및 제 3 금속층(21)의 둘레로 무전해 구리 또는 금이 전착되어 그 두께가 두꺼워 지게 된다. 또한, 표면이 거칠 경우 고주파에서의 직렬 저항이 증가하기 때문에 이들 금속층들의 표면을 매끄럽게 할 목적으로 이러한 용도에 맞는 식각액에서 살짝 식각하는 것이다.

전술한 두가지 실시예에서 기술한 모든 제조 과정은 모두 섭씨 120도 이하에서 수행되기 때문에 기판(1)에 집적회로가 내포된 경우에도 하부 집적회로에 전혀 영향을 주지 않고 공정을 수행 할 수 있다는 장점이 있다.

이상의 두가지 실시예에서는 본 발명에 따른 다양한 3차원 금속소자를 제조할 수 있는 제조 방법에 대해 기술하였다. 이후로는 제조 방법에 앞서 기술한 공중에 떠 있는 3차원 스피랄 인덕터(103)등에 이어서 본 발명에 따른 다른 다양한 3차원 금속 소자들에 대해 기술하겠다.

도 11은 본 발명에 따른 공중에 떠 있는 3차원 솔레노이드 인덕터(108)의 입체 형상을 보여주는 사시도이다. 참고로 도 11부터 도면의 끝까지는 기판을 생략하고 그린 것이다. 도 11에 도시된 구조는 전술한 제조 방법에 관한 첫 번째 실시예의 과정 중 일부를 반복 수행하여 제조할 수 있다. 즉, 도 10a부터 도 10e까지의 과정을 수행하여 제 1 지지대(22)와 제 3 금속층(21)을 한 몸체로 형성한 후, 3차원 희생 물드를 제거하지 않고 그 상부에 또 한 층의 3차원 희생 물드를 도포하는 도 10e의 과정을 시작하여 도 10f까지의 과정을 수행하면 도 11에 도시한 바와 같이 제 2 지지대(26)와 제 4 금속층(27)까지 형성된 공중에 떠 있는 3차원 솔레노이드 인덕터(108)를 제조할 수 있다. 참고로 이 구조는 또한, 전술한 제조 방법에 관한 두 번째 실시예의 과정 중 일부를 반복 수행하여 제조할 수도 있으며 이렇게 전술한 제조 방법에 관한 두 가지 실시예 모두 본 발명에서 제공하는 모든 3차원 금속 소자의 제조에 사용될 수 있음을 여기서 밝힌다.

다음, 도 12는 도 11에 도시된 공중에 떠 있는 3차원 솔레노이드 인덕터(108)의 하부에 바닥 접지 금속층(29)을 설치하여 제작한, 접지층을 가지면서 공중에 떠 있는 3차원 솔레노이드 인덕터(109)의 구조를 도시하고 있다. 여기서도 도 5와 마찬가지로 공중에 높이 떠 있는 인덕터의 하부에 접지층을 가지는 구조를 고안함으로써 인덕터에 대한 기판의 영향을 완전히 제거하여 도 6과 같이 기판과 무관한 새로운 3차원 인덕터 모델(105)을 사용할 수 있게 된다.

또한, 도 13은 패턴된 바닥 접지 금속층(30)을 가지면서 공중에 떠 있는 3차원 솔레노이드 인덕터(110)의 구조를 도시하고 있다. 이렇게 했을 때의 장점은 도 7에 대한 설명에서 기술 한 바와 같다.

도 14는 두 개의 스피랄 인덕터가 서로 수직으로 적층되어 있고 서로 직렬로 연결되어 있으며 하부의 스피랄 인덕터도 공중에 떠 있는 구조를 가지는 적층형(stacked) 3차원 스피랄 인덕터(111)를 도시한 그림이다. 필요에 의해 하부에 바닥 접지 금속층(29) 또는 패턴된 바닥 접지 금속층(30)을 형성할 수 있음은 앞에서 설명한 바와 같다. 제조 과정은 도 11의 공중에 떠 있는 3차원 솔레노이드 인덕터(108)의 그것과 같이 첫 번째 실시예 또는 두 번째 실시예의 과정 중 일부를 한번 더 반복하여 제작할 수 있다. 만일 앞서 설명한 스피랄 인덕터 구조는 기판 상에서 인덕터가 차지하는 면적에 비해 큰 인덕턴스를 얻을 수 있다는 장점을 가진 구조이다. 본 발명에서는 여기에 덧붙여 적층형 스피랄 인덕터를 공중에 높이 띄움으로써 앞에서 설명한 공중에 높이 떠 있는 3차원 금속 소자가 갖는 장점들을 더높이 갖도록 발전시킨 것이다. 만일 앞서 설명한 첫 번째 실시예 또는 두 번째 실시예의 과정 중 일부를 한번이 아닌, 2번 이상 반복하면 3층 이상 적층된 3차원 스피랄 인덕터를 제작할 수 있을 것이다. 이와 같은 방법은 적층형 3차원 스피랄 인덕터에 한 국한된 것이 아니라 본 발명의 전체 실시예에 적용할 수 있으며 이로써 매우 다양한 3차원 구조의 금속 소자를 제조할 수 있다는 것을 여기서 밝힌다. 또한, 도 9와 도 11내지는 도 13까지에 도시된 솔레노이드 인덕터의 구조를 간단히 변형하여 솔레노이드 권선들을 모두 한가닥으로 연결하지 않고 도 15에 도시된 바와 같이 빗금친 1차측 권선(39)과 2차측 권선(41)을 번갈아가며, 또는 소정의 1차측 권선(39)마다 번갈아가며 2차측 권선(41)을 감는 형태로 형성하면 기판 손실이 적고 작은 삽입 손실과 넓은 통과 주파수 영역 및 높은 연결 상수(coupling coefficient)를 갖는 공중에 떠 있는 3차원 솔레노이드 트랜스포머(112)를 제조할 수 있다. 마찬가지로, 도 14의 적층형 3차원 스피랄 인덕터 구조에서 두 층의 스피랄 인덕터를 직렬로 연결하지 않고 서로 떼어 빗금친 1차측 권선(39)과 2차측 권선(41)을 만든 후 각각 외부로 연결선을 뱉어 내면 기판 손실이 적고 작은 삽입 손실과 넓은 통과 주파수 영역 및 높은 연결 상수를 갖는 공중에 떠 있는 3차원 스피랄 트랜스포머(113)를 제조할 수 있다 (도 16참조).

도 17은 두가지 다른 구조의 리드선을 가지는 3차원 스피랄 인덕터(114, 115)를 도시하고 있다. 제조 과정은 도 11의 공중에 떠 있는 3차원 솔레노이드 인덕터(108)의 그것과 같다. 상부에 떠 있는 리드선을 가지는 3차원 스피랄 인덕터(114)와 하부에 떠 있는 리드선을 가지는 3차원 스피랄 인덕터(115)는 모두 인덕터의 내부와 외부를 연결하는 리드선도 공중에 떠 있는 구조로 되어 있어서, 리드선이 필요한 구조에서도 리드선에 의한 신호 손실을 방지할 수 있다. 그리고 하부에 떠 있는 리드선을 가지는 3차원 스피랄 인덕터(115)의 구조의 경우 스피랄 인덕터 부분이 기판으로부터 한층 더 높이 떠 있게 된다.

이상의 실시예들에서는 공중에 높이 떠 있는 3차원 금속 소자들 중에서 다양한 인덕터들에 대해서만 설명하였다. 다음으로 도 18은 본 발명에 따른 3차원 마이크로 미러(116)의 입체 형상을 보여주는 사시도이다. 이 구조는 두 번째 실시예에서 설명한 제조 과정 중 도 10i에 도시된 도금 공정만 제외하여 제 3 금속층(21) 없이 제작하여 완성할 수 있다. 이때 미러로 사용되는 제 2 금속층(23)의 두께는 이후 제 1 금속층(12)의 일부를 제거하는 공정시에 일부 식각할 것을 고려하여 제 1 금속층(12)의 두께보다 더 두껍게 하거나 제 1 금속층(12)을 제거하는 용액에 제거되지 않는 제 1 금속층(12)과 다른 물질이어야 한

다. 이렇게 제작된 3차원 마이크로 미러(116)는 정전기력(electrostatic force)에 의해 구동되어 제 2 금속층(23)으로 이루어진 거울면이 소정의 각도로 휘게 된다. 즉, 도 18에 도시된 제 1 신호 전극(31) 또는 제 2 신호 전극(33) 등과 같이 하나 이상 거울면의 하부에 존재하는 전극 금속판 중 하나와 이와 전기적으로 격리된 바닥 금속층(13)의 사이에 전압을 가하면 두 판 사이에 유기된 전하에 의해 정전기력에 의해 발생, 두 판이 서로 끌어당겨지게 되는 것이다. 이러한 3차원 마이크로 미러(116)는 전기적인 신호에 의해 빛의 경로를 조작할 수 있기 때문에 광통신 시스템에서 매우 중요한 소자인 광학 스위치에 이용된다.

도 19부터 도 29까지는 본 발명에 따른 다양한 구조의 3차원 전송선(117-127)의 입체 형상을 보여주는 사시도들이다. 참고로, 도 19부터 도 29까지에서 도시된 다양한 구조의 3차원 전송선들은 단면을 보이기 위해 홀로 끊어 놓았으며 점선은 서로 이어져 있다는 것을 나타낸다. 전송선은 초고주파 신호 전송에 핵심이 되는 소자이나, 기존의 집적회로 기술로 제작된 전송선은 기판과 매우 가까이 붙어있기 때문에 기판으로의 신호 손실이 큰 실리콘 기판 등에서는 사용이 어려웠다. 그러나, 도 19부터 도 29까지에서 도시한 바와 같이 본 발명에 따라 제 3 금속층(21)으로 형성된 신호선을 기판으로부터 이격하여 수십 마이크로미터의 높이로 공중에 떠 있게 하면 기판으로의 신호 손실을 획기적으로 줄일 수 있게 되어 삽입 손실(insertion loss)특성이 매우 우수한 전송선을 갖게 되고 범용인 실리콘 기판 상에서도 구현할 수 있게 된다. 도 19부터 도 29까지에서 도시된 다양한 형태의 3차원 전송선(117-127)을 자세히 살펴보면 모두 신호선은 제 3 금속층(21)으로 형성된 동일한 구조, 즉 기판으로부터 이격되어 수십 마이크로미터의 높이로 공중에 떠 있는 구조를 하고 있음을 알 수 있다. 이들의 다른 점은 모두 주위에 어떻게 접지 구조가 형성되어 있는가 하는 것이고 접지 구조에 따라 제 3 금속층(21)으로 형성된 신호선의 특성이 바뀌게 된다. 접지 구조를 이루는 요소들에는 바닥 접지 금속층(29), 제 1 접지벽(35), 제 1 접지 날개(36), 제 2 접지벽(37), 및 제 2 접지 날개(38)가 있다. 제 1 접지벽(35)은 제 1 지지대(22)와 제 3 금속층(21)을 동일한 모양으로 결합시켜 형성하고, 제 1 접지 날개(36)는 소정의 모양을 한 제 3 금속층(21)으로 형성하며, 제 2 접지벽(37)은 제 2 지지대(26)와 제 4 금속층(25)을 동일한 모양으로 결합시켜 형성하고, 제 2 접지 날개(38)는 소정의 모양을 한 제 4 금속층(25)으로 형성할 수 있다. 참고로, 도 20은 공기를 매질로 한 마이크로스트립 선(microstrip line)을 기판의 상부에 구현한 구조를 도시하고 있고, 도 23은 코플래너르 파란관(coplanar waveguide)을 공중에 띄운 구조를 도시하고 있으며, 도 26은 이 둘을 결합한 새로운 형태의 코플래너르 마이크로스트립 선의 구조를 도시하고 있다. 또한, 도 29는 공기를 매질로 한 코액셜 케이블(coaxial cable)을 기판의 상부에 구현한 구조를 도시하고 있다. 이 구조는 신호선이 완벽하게 접지판으로 둘러싸여 있기 때문에 다른 부분으로의 신호 간섭을 현저히 차단할 수 있는 구조이다. 이러한 구조 중, 어떤 접지 구조를 사용할 것인가는 실제 사용에서 필요한 삽입 손실, 격리(isolation) 특성 등으로부터 결정하여 사용하면 된다. 본 실시예에서는 기존의 집적회로 기술로는 구현할 수 없었기 때문에 사용하지 못한 다양한 구조의 3차원 전송선(117-127)들을 고안하여 제공하는 데에 목적이 있다.

도 19부터 도 29까지는 모두 접지 구조가 판으로 된 것을 도시하였는데, 도 30은 솔레노이드 형태의 접지선(47)을 가지는 3차원 전송선(128)을 도시하고 있고, 도 31은 솔레노이드 형태의 접지선(47)을 가지는 3차원 스피럴 인덕터(129)를 도시하고 있다. 도 30 또는 도 31의 솔레노이드 형태의 접지선(47)은 3차원 금속 소자의 주위에 적절한 접지를 형성하면서도 접지 금속 내에 흐르는 에디(eddy) 전류에 의한 손실을 줄이는 독특한 구조를 갖는다.

이상의 모든 실시예에 따라 제작된 다양한 3차원 금속 소자는 그 구조 중 일부가 공중에 떠 있게 되어 기계적 안정성이 부분적으로 결여될 수 있음을 지적할 수 있다. 그러나, 실험에 의하면 금속선으로 사용되는 구리의 기계적 강도(stiffness)는 매우 우수하여 20 마이크로미터의 폭과 20 마이크로미터의 두께 이상에서는 기계적 충격에 매우 강함을 나타내었다. 이에 더하여 모든 공정이 끝나 그 구조 중 일부가 공중에 떠 있는 형상을 하고 있는 3차원 금속 소자에 밀봉재(encapsulating material)를 덮어씌워 소자의 전기적, 기계적 안정성을 도모하고 패키징을 용이하게 할 수 있다. 이러한 밀봉재는 밀봉재는 열개는 라디오 내부에 있는 솔레노이드 코일의 간격을 고정시키기 위해 사용된 솜뭉치에서도 찾아볼 수 있으며 오늘날의 반도체 패키징에서도 많이 사용되고 있다. 본 발명에서는 파라핀과 같은 밀납, 제올, 또는 실리콘(silicone)을 절연성과 밀봉성을 갖춘 모든 반도체 패키징용 밀봉재를 사용할 수 있음을 밝힌다. 참고로, 이러한 밀봉재를 투입하였을 때 발생하는 신호 손실의 증가는 10% 이내라는 보고가 있다.

상술한 본 발명의 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 기술에 해당하는 당업자라면 본 발명의 사상을 이용하여 다양한 변형과 응용이 가능하리라 예상되나 이는 하기의 특허 청구범위에 속함을 밝혀둔다.

#### 본 발명의 효과

전술한 바와 같이 본 발명에 따르면, 무선통신용 및 광통신용 핵심 소자들인 스피럴 인덕터, 솔레노이드 인덕터, 스피럴 트랜스포머, 솔레노이드 트랜스포머, 마이크로 미러, 전송선 등 금속으로 이루어지는 다양한 소자들을 기판으로부터 멀리 이격시켜 공중에 띄운 3차원 구조를 고안함으로써 이러한 소자들이 기판 상에서 차지하는 면적을 크게 줄여 회로의 집적도를 높임과 동시에 소자가 하부의 집적 회로에 주는 영향과 기판으로의 신호 손실을 획기적으로 줄여 소자들이 매우 우수한 성능을 갖도록 하고 기판과 독립된 소자 모델을 가능케 한다. 또한, 본 발명에서는 3차원 금속 소자의 금속선의 두께를 10 마이크로미터 이상으로 하여 이들이 작은 직렬 저항과 큰 전류 한계를 갖도록 했다.

또한, 다양한 3차원 금속 소자들의 구조와 더불어 제공한 제작 방식은 일반적인 반도체 공정과 도금 공정, 그리고 플라스마 공정 등으로만 이루어져 있기 때문에 쉽고 정교하며, 여러층으로 반복하여 응용하였을 경우 복잡하고 다양한 3차원 금속 구조를 형성할 수 있으며, 기판에 이미 제작된 집적 회로에 전혀 영향을 주지 않기 때문에 기존의 반도체 집적회로 공정과 호환될 수 있다.

#### (57) 청구의 범위

#### 청구항 1

기판 위에 높이  $h$ 에 있는 3차원 금속 소자의 제조방법에 있어서,

(a) 기판을 마련하는 단계;

(b) 상기 기판 상에 3차원 희생 물드를 형성하되, 상기 3차원 희생 물드의 바닥에서 상부로 연장된 제 1 공간과 이에 연결되며 상기 3차원 희생 물드의 바닥과 이격되어 있는 제 2 공간을 갖는 소정의 3차원 형상으로 형성하는 단계;

(c) 상기 제 1 및 제 2 공간을 제 3 금속층으로 채우는 단계; 및

(d) 상기 3차원 희생 물드를 제거하는 단계

를 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조방법.

#### 청구항 2

제 1항에 있어서,

상기 (c) 단계 이후에, 상기 3차원 희생 물드와 상기 제 3 금속층의 상부에 대해 상기 (b) 단계를 한 번 더 수행하고, 제 4 금속층으로 채우는 단계; 및

상기 3차원 희생 물드들을 모두 제거하는 단계

를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조방법.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 3차원 형상의 희생 물드를 형성하는 단계가:

3차원 희생 물드층을 도포하는 단계;

제 1 노광 패턴으로 상기 3차원 희생 물드층의 소정의 깊이까지만 노광하여 제 1 노광 영역을 형성하는 첫 번째 노광 단계;

상기 제 1 노광 패턴과 소정 부분 중첩되는 제 2 노광 패턴으로 상기 3차원 희생 물드층의 바닥까지 완전히 노광하여, 제 2 노광 영역과 중첩 노광된 제 3 노광 영역을 형성하는 두 번째 노광 단계; 및

상기 3차원 희생 물드층 내에 노광된 모든 영역을 단일의 현상 작업을 통해 제거하여 상기 제 1 노광 영역과 상기 제 3 노광 영역이었던 공간에 상기 제 2 공간을, 상기 제 2 노광 영역이었던 공간에 상기 제 1 공간 또는, 상기 제 1 공간과 상기 제 2 공간을 형성하는 단계

를 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 공간은 상기 3차원 희생 물드의 바닥으로부터 소정의 높이로 상기 3차원 희생 물드의 내부에 형성된 속이 빈 공간으로서, 그 높이는 상기 3차원 희생 물드의 높이 보다 작으며;

상기 제 2 공간은 상기 제 1 공간의 높이로부터 상기 3차원 희생 물드의 표면까지 상기 3차원 희생 물드의 내부에 형성된 속이 빈 공간으로서, 상기 제 1 공간과 상기 제 2 공간은 서로 통하는 부분을 최소한 한 군데 이상 반드시 갖게 하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 5

제 3 항에 있어서, 서로 분리되어 있는 상기 제 1 노광 영역들은 각각의 상기 제 1 노광 영역 내에 상기 제 2 노광 영역과 겹치는 영역인 상기 제 3 노광 영역을 최소한 한 군데 이상 내포하게 하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 6

제 1 항 또는 제 2 항에 있어서, 상기 희생 물드의 재질이:

수십 마이크로미터 두께의 코팅이 용이하며 금속에 대해 선택적으로 제거가 용이한 절연성 물질인 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 7

제 6항에 있어서, 상기 희생 물드의 재질이:

포도레지스트, 폴리이미드와 같은 감광성 혹은 비 감광성 폴리머, 계열 물질, 감광 유리나 스피 온 글래스를 포함하는 유리 계열 물질, 및 일반 플라스틱으로 구성된 군으로부터 선택된 어느 하나인 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 8

제 1 항 또는 제 2 항에 있어서, 상기 제 2 공간이 상기 희생 물드의 바닥과 수평으로 이격되어 있으며, 상기 제 1 공간의 높이가 30 마이크로미터 이상으로 하여 장치 상기 제 2 공간에 형성될 금속층이 상기 기판으로부터 30 마이크로미터 이상의 높이로 공중에 떠 있게 하는 것을 특징으로 하는 3차원 금속 소자

의 제조 방법.

#### 청구항 9

제 1 항 또는 제 2 항에 있어서, 상기 기판의 재질이:

섭씨 120도에서 건되는 물질로서,

실리콘, 실리콘저마늄, 갈륨아세나이드 등과 같이 그 상부에 집적회로를 포함할 수 있는 반도체 물질, 알루미늄, 유리, 석영, 플라스틱으로 구성된 군으로부터 선택된 어느 하나인 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 10

제 1 항 또는 제 2 항에 있어서, 상기 기판을 마련하는 단계가:

상기 기판 상에 제 1 금속층을 형성하거나, 상기 기판 상에 제 1 금속층을 형성하고 그 위에 바닥 금속층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 11

제 10항에 있어서, 상기 제 1 공간과 제 2 공간을 상기 제 3 금속층 또는 제 4 금속층으로 채우는 단계가:

상기 3차원 희생 물드의 최상부, 상기 제 1 공간의 하부, 및 상기 제 2 공간의 하부에 제 2 금속층을 형성하는 단계;

상기 제 2 금속층 중 상기 3차원 희생 물드의 최상부에 있는 부분을 제거하는 단계; 및

도금 또는 무전해 도금을 통해 상기 제 1 공간과 제 2 공간을 제 3 금속층 또는 제 4 금속층으로 채우는 단계

를 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 12

제 10항에 있어서, 상기 제 1 공간과 제 2 공간을 상기 제 3 금속층 또는 제 4 금속층으로 채우는 단계가:

도금 또는 무전해 도금을 통해 상기 제 1 공간을 상기 제 3 금속층 또는 상기 제 4 금속층으로 채우는 단계;

상기 3차원 희생 물드의 최상부, 상기 제 2 공간의 하부, 및 상기 제 3 금속층 또는 상기 제 4 금속층의 상부에 제 2 금속층을 형성하는 단계;

상기 제 2 금속층 중 상기 3차원 희생 물드의 최상부에 있는 부분을 제거하는 단계;

도금 또는 무전해 도금을 통해 상기 제 2 금속층 상에 제 3 금속층 또는 제 4 금속층을 형성하는 단계

를 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 13

제 11항에 있어서, 상기 3차원 희생 물드 최상부에 있는 상기 제 2 금속층을 제거하는 단계가 폴리싱 공정으로 이루어지는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 14

제 12항에 있어서, 상기 3차원 희생 물드 최상부에 있는 상기 제 2 금속층을 제거하는 단계가 폴리싱 공정으로 이루어지는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 15

제 11항에 있어서, 상기 제 2 공간에 상기 제 3 금속층 또는 상기 제 4 금속층을 형성하는 단계가, 상기 제 2 공간의 상부로 돌출된 상기 제 3 금속층 또는 상기 제 4 금속층을 제거하기 위해 폴리싱 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 16

제 12항에 있어서, 상기 제 2 공간에 상기 제 3 금속층 또는 상기 제 4 금속층을 형성하는 단계가, 상기 제 2 공간의 상부로 돌출된 상기 제 3 금속층 또는 상기 제 4 금속층을 제거하기 위해 폴리싱 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 17

제 10 항에 있어서, 소자간의 전기적인 격리를 위해서 상기 제 1 금속층 중 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 18

제 1 항 또는 제 2 항에 있어서, 상기 제조된 3차원 금속 소자의 금속선의 두께를 더 두껍게 하거나 표면을 매끄럽게 하여 직렬 저항을 줄이고 Q-팩터를 높이기 위해 구리나 금으로 무전해 도금을 수행하거나 구리나 금 식각액에서 살짝 식각하는 단계를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 19

제 1 항 또는 제 2 항에 있어서, 그 구조 중 일부가 공중에 떠 있는 형상을 하고 있는 상기 제조된 3차원 금속 소자에 따라핀과 같은 밑받침 계열 또는 실리콘온등 접연성과 밀봉성을 갖춘 패키징용 밀봉제를 덮어 씌워 소자의 전기적, 기계적 안정을 도모하고 패키징을 용이하게 하는 단계를 더 포함하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 20

제 11항에 있어서, 상기 제 1 금속층은 타이타늄 또는 크롬을 0.1 마이크로미터 이내의 두께로, 구리 또는 금을 1 마이크로미터 이내의 두께로 순차적으로 진공을 깨지 않은 상태에서 증착하여 형성하고, 상기 바닥 금속층, 상기 제 2 금속층, 상기 제 3 금속층, 및 상기 제 4 금속층은 상기 제 1 금속층의 상부 물질이 구리인 경우 모두 구리로, 상기 제 1 금속층의 상부 물질이 금인 경우 모두 금으로 형성하며, 상기 제 2 금속층은 0.1 마이크로미터 이내의 두께로 진공 증착하여 형성하고, 상기 제 3 금속층과 상기 제 4 금속층은 두께 10 마이크로미터 이상 또는 이에 상응하는 두께로 하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 21

제 12항에 있어서, 상기 제 1 금속층은 타이타늄 또는 크롬을 0.1 마이크로미터 이내의 두께로, 구리 또는 금을 1 마이크로미터 이내의 두께로 순차적으로 진공을 깨지 않은 상태에서 증착하여 형성하고, 상기 바닥 금속층, 상기 제 2 금속층, 상기 제 3 금속층, 및 상기 제 4 금속층은 상기 제 1 금속층의 상부 물질이 구리인 경우 모두 구리로, 상기 제 1 금속층의 상부 물질이 금인 경우 모두 금으로 형성하며, 상기 제 2 금속층은 0.1 마이크로미터 이내의 두께로 진공 증착하여 형성하고, 상기 제 3 금속층과 상기 제 4 금속층은 두께 10 마이크로미터 이상 또는 이에 상응하는 두께로 하는 것을 특징으로 하는 3차원 금속 소자의 제조 방법.

#### 청구항 22

스피럴 모양으로 공중에 떠 있는 제 3 금속층과;

상기 스피럴 모양의 제 3 금속층의 내부 끝과 외부 끝으로부터 수직으로 하부 기판 또는 바닥 금속층과 연결되어 상기 스피럴 모양의 제 3 금속층을 지지해 주는 두 개의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 패턴된 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;

를 포함하는 3차원 스피럴 인덕터.

#### 청구항 23

제 22항에 있어서, 상기 공중에 떠 있는 3차원 스피럴 인덕터를 감싸는 주위에 솔레노이드 형태의 접지선을 더 포함하는 것을 특징으로 하는 3차원 스피럴 인덕터.

#### 청구항 24

막대 모양으로 공중에 떠 있는 한 개 이상의 제 3 금속층과;

상기 개개의 막대 모양의 제 3 금속층의 양쪽 끝으로부터 수직으로 하부에 막대 모양을 하고 있는 서로 인접한 두 개의 바닥 금속층의 서로 다른 쪽 끝과 연결되어 상기 막대 모양의 제 3 금속층을 지지해 주는 각각 두 개의 상기 제 1 지지대와;

상기 제 1 지지대의 하부에서 막대 모양을 하고 있는 한 개 이상의 상기 바닥 금속층과;

상기 바닥 금속층의 하부에 있는 기판;

를 포함하는 솔레노이드 인덕터.

#### 청구항 25

막대 모양으로 공중에 떠 있는 한 개 이상의 제 4 금속층과;

상기 개개의 막대 모양의 제 4 금속층의 양쪽 끝으로부터 수직으로 하부에 막대 모양으로 공중에 떠 있는 서로 인접한 두 개의 상기 제 3 금속층의 서로 다른 쪽 끝과 연결되어 상기 막대 모양의 제 4 금속층을 지지해 주는 각각 두 개의 제 2 지지대와;

상기 제 2 지지대의 하부에서 막대 모양을 하고 있는 한 개 이상의 상기 제 3 금속층과;

상기 막대 모양의 제 4 금속층, 상기 제 2 지지대, 및 상기 막대 모양의 제 3 금속층으로 이루어진 공중에 떠 있는 솔레노이드 인덕터의 양쪽 끝으로부터 수직으로 하부의 기판, 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 솔레노이드 인덕터를 지지해 주는 두 개의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 패턴된 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부

에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;  
를 포함하는 공중에 떠 있는 3차원 스피럴 인덕터.

#### 청구항 26

스피럴 모양으로 공중에 떠 있는 제 4 금속층과;

상기 스피럴 모양의 제 4 금속층의 한쪽 끝으로부터 수직으로 하부의 스피럴 모양으로 공중에 떠 있는 제 3 금속층의 한쪽 끝과 연결되고, 상기 스피럴 모양의 제 4 금속층의 다른 한쪽 끝으로부터 수직으로 하부의 제 1 지지대와 연결되어, 상기 스피럴 모양으로 공중에 떠 있는 제 4 금속층을 지지해 주는 두 개의 제 2 지지대와;

상기 제 2 지지대의 하부에서 스피럴 모양으로 공중에 떠 있는 상기 제 3 금속층과;

상기 제 3 금속층의 상기 제 2 지지대와 연결되지 않은 한쪽 끝과 상기 제 3 금속층과 연결되지 않은 상기 제 2 지지대의 하부로부터 수직으로 하부의 기판, 바닥 금속층 또는 상기 기판의 상부에 있는 집적 회로와 연결되어 상기 직렬로 연결된 두 층의 스피럴 인덕터를 지지해 주는 두 개의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;

를 포함하는 적층형 3차원 스피럴 인덕터.

#### 청구항 27

막대 모양으로 공중에 떠 있는 제 4 금속층과;

상기 막대 모양의 제 4 금속층의 한쪽 끝으로부터 수직으로 하부의 스피럴 모양으로 공중에 떠 있는 제 3 금속층의 한쪽 끝과 연결되고, 상기 막대 모양의 제 4 금속층의 다른 한쪽 끝으로부터 수직으로 하부의 상기 제 1 지지대와 연결되어, 상기 막대 모양으로 공중에 떠 있는 제 4 금속층을 지지해 주는 두 개의 상기 제 2 지지대와;

상기 제 2 지지대의 하부에서 스피럴 모양으로 공중에 떠 있는 상기 제 3 금속층과;

상기 스피럴 모양의 제 3 금속층의 상기 제 2 지지대와 연결되지 않은 한쪽 끝과 상기 스피럴 모양의 제 3 금속층과 연결되지 않은 상기 제 2 지지대의 하부로부터 수직으로 하부의 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 상부에 떠 있는 리드선을 가지는 스피럴 인덕터를 지지해 주는 두 개의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 패턴된 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;

를 포함하는 상부에 떠 있는 리드선을 가지는 3차원 스피럴 인덕터.

#### 청구항 28

스피럴 모양으로 공중에 떠 있는 제 4 금속층과;

상기 스피럴 모양의 제 4 금속층의 한쪽 끝으로부터 수직으로 하부의 막대 모양으로 공중에 떠 있는 제 3 금속층과 연결되고, 다른 한쪽 끝으로부터 수직으로 하부의 제 1 지지대와 연결되어 상기 스피럴 모양으로 공중에 떠 있는 제 4 금속층을 지지해 주는 두 개의 제 2 지지대와;

상기 제 2 지지대의 하부에서 막대 모양으로 공중에 떠 있는 상기 제 3 금속층과;

상기 막대 모양의 제 3 금속층의 상기 제 2 지지대와 연결되지 않은 한쪽 끝과 상기 막대 모양의 제 3 금속층과 연결되지 않은 상기 제 2 지지대의 하부로부터 수직으로 하부의 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 하부에 떠 있는 리드선을 가지는 스피럴 인덕터를 지지해 주는 두 개의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 패턴된 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;

를 포함하는 하부에 떠 있는 리드선을 가지는 3차원 스피럴 인덕터.

#### 청구항 29

막대 모양으로 공중에 떠 있는 한 개 이상의 제 4 금속층과;

상기 개개의 막대 모양의 제 4 금속층의 양쪽 끝으로부터 수직으로 하부에 막대 모양으로 공중에 떠 있는 서로 인접한 두 개의 상기 제 3 금속층의 서로 다른 쪽 끝과 연결되어 상기 막대 모양의 제 4 금속층을 지지해 주는 각각 두 개의 제 2 지지대와;

상기 제 2 지지대의 하부에서 막대 모양을 하고 있는 한 개 이상의 상기 제 3 금속층과;

상기 막대 모양의 제 4 금속층, 상기 제 2 지지대, 및 상기 막대 모양의 제 3 금속층으로 이루어진 공중에 떠 있는 플레노이드 인덕터의 양쪽 끝으로부터 수직으로 하부의 기판, 바닥 금속층, 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 플레노이드 인덕터를 지지해 주는 두 개의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;

를 포함하는 공중에 떠 있는 3차원 플레노이드 인덕터를 2개 포함하여 이루어지되,

상기 제 4 금속층, 상기 제 2 지지대, 상기 제 3 금속층, 및 상기 제 1 지지대로 이루어지는 상기 공중에 떠 있는 플레노이드 인덕터의 권선들을 모두 한가닥으로 연결하지 않고 1차측 권선과 2차측 권선, 두 가닥으로 분리하여 상기 1차측의 소정의 권선마다 번갈아가며 상기 2차측 권선을 감는 형태를 갖는 것을 특징으로 하는 공중에 떠 있는 3차원 플레노이드 트랜스포머.

#### 청구항 30

스피럴 모양으로 공중에 떠 있는 제 4 금속층과;

상기 스피럴 모양의 제 4 금속층의 양쪽 끝으로부터 수직으로 하부의 제 1 지지대와 연결되어 상기 스피럴 모양으로 공중에 떠 있는 상기 제 4 금속층을 지지해 주는 두 개의 제 2 지지대와;

상기 스피럴 모양으로 공중에 떠 있는 제 4 금속층의 하부에서 스피럴 모양으로 공중에 떠 있는 제 3 금속층과;

상기 스피럴 모양으로 공중에 떠 있는 제 3 금속층의 양쪽 끝으로부터 수직으로 하부의 기판, 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 스피럴 모양으로 공중에 떠 있는 제 3 금속층을 지지해 주는 두 개의 제 1 지지대와;

상기 두 개의 제 2 지지대의 하부로부터 수직으로 하부의 상기 기판, 상기 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 두 개의 제 2 지지대를 지지해 주는 두 개의 상기 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 패턴된 바닥 접지 금속층, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 바닥 접지 금속층, 또는 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층과 상기 기판의 상부에 있는 상기 패턴된 바닥 접지 금속층 중 어느 하나;

를 포함하는 공중에 떠 있는 3차원 스피럴 트랜스포머.

#### 청구항 31

공중에 떠 있는 제 3 금속층으로 구성된 전송선과;

상기 공중에 떠 있는 전송선의 양쪽 끝으로부터 수직으로 하부의 기판, 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 전송선을 지지해 주는 두 개의 상기 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 상기 집적회로의 상부에 있는 상기 바닥 금속층 중 어느 하나;

를 포함하는 3차원 전송선.

#### 청구항 32

제 31항에 있어서, 상기 공중에 떠 있는 3차원 전송선의 하부에 있는 상기 기판 상에 바닥 접지 금속층 또는 상기 패턴된 바닥 접지 금속층을 더 포함하는 것을 특징으로 하는 3차원 전송선.

#### 청구항 33

제 31항에 있어서, 상기 공중에 떠 있는 전송선으로부터 떨어진 양 옆으로부터 수직으로 상기 기판, 또는 상기 바닥 금속층의 상부까지 형성된 두 개의 제 1 접지벽을 더 포함하는 것을 특징으로 하는 3차원 전송선.

#### 청구항 34

제 33항에 있어서, 상기 제 1 접지벽의 상부와 연결되어 상기 공중에 떠 있는 전송선과 같은 층에 형성된 제 1 접지 날개를 더 포함하는 것을 특징으로 하는 3차원 전송선.

#### 청구항 35

제 32항에 있어서, 상기 공중에 떠 있는 전송선으로부터 떨어진 양 옆으로부터 수직으로 상기 기판, 또는 상기 바닥 금속층의 상부까지 형성된 두 개의 제 1 접지벽을 더 포함하는 것을 특징으로 하는 3차원 전송선.

선.

**청구항 36**

제 35항에 있어서, 상기 제 1 접지벽의 상부와 연결되어 상기 공중에 떠 있는 전송선과 같은 층에 형성된 제 1 접지 날개를 더 포함하는 것을 특징으로 하는 3차원 전송선.

**청구항 37**

제 35항에 있어서, 상기 제 1 접지벽의 상부에 상기 제 1 접지벽과 동일한 구조의 제 2 접지벽을 더 포함하는 것을 특징으로 하는 3차원 전송선.

**청구항 38**

제 35항에 있어서, 상기 제 1 접지벽의 상부에 상기 제 1 접지벽과 동일한 구조의 제 2 접지벽을 더 포함하는 것을 특징으로 하는 3차원 전송선.

**청구항 39**

제 38항에 있어서, 상기 제 2 접지벽의 상부에서 두 개의 상기 제 2 접지벽을 덮어 서로 연결하여 상기 공중에 떠 있는 전송선의 양쪽 끝을 제외한 모든 부분이 접지 금속으로 완전히 둘러싸이게 하는 제 2 접지 날개를 더 포함하는 것을 특징으로 하는 3차원 전송선.

**청구항 40**

제 31항 내지 제 39항 중의 어느 한 항에 있어서, 상기 공중에 떠 있는 3차원 전송선을 감싸는 주위에 몰레노이드 형태의 접지선을 더 포함하는 것을 특징으로 하는 3차원 전송선.

**청구항 41**

공중에 떠 있는 금속 미러판과;

상기 공중에 떠 있는 금속 미러판의 소정의 영역으로부터 수직으로 하부의 기판, 바닥 금속층 또는 상기 기판의 상부에 있는 집적회로와 연결되어 상기 공중에 떠 있는 금속 미러판을 지지해 주는 한 개 이상의 제 1 지지대와;

상기 제 1 지지대의 하부에 있는 상기 기판, 상기 기판과 상기 기판의 상부에 있는 상기 바닥 금속층, 상기 기판과 상기 기판의 상부에 있는 집적회로, 또는 상기 기판과 상기 기판의 상부에 있는 집적회로와 상기 집적회로의 상부에 있는 상기 바닥 금속층 중 어느 하나와;

상기 공중에 떠 있는 금속 미러판의 하부에 있는 기판 상에 소정의 모양으로 형성된 한 개 이상의 전극 금속층;

을 포함하는 3차원 마이크로 미러.

**청구항 42**

한 쪽이 접지된 제 1 포트와;

한 쪽이 접지된 제 2 포트와;

상기 제 1 포트의 접지되지 않은 쪽과 상기 제 2 포트의 접지되지 않은 쪽 사이에 직렬로 연결된 저항( $R$ )과 인덕턴스( $L$ ) 성분과;

상기 제 1 포트의 접지되지 않은 쪽과 상기 제 2 포트의 접지되지 않은 쪽 사이에 연결된 프런지 캐패시턴스( $C_f$ ) 성분과;

상기 제 1 포트의 접지된 쪽과 접지되지 않은 쪽간에 연결된  $C_s$  캐패시턴스 성분과;

상기 제 2 포트의 접지된 쪽과 접지되지 않은 쪽간에 연결된 상기  $C_s$  캐패시턴스 성분;

을 구비하는 3차원 인덕터 모델.

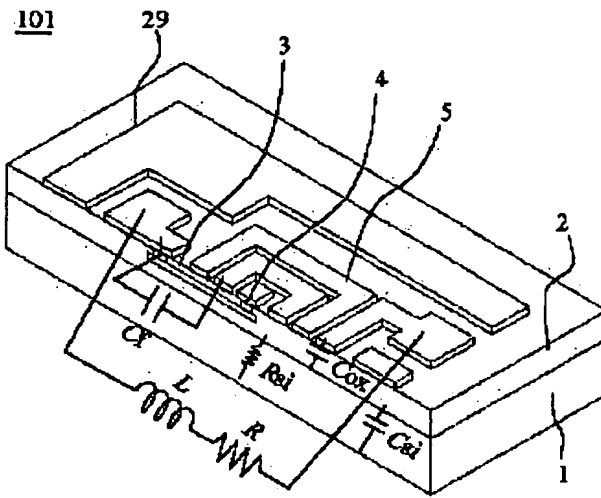
**청구항 43**

제 42항에 있어서 상기  $C_s$  캐패시턴스는 공기 또는 밀봉제를 매질로 한 캐패시턴스 성분인 것을 특징으로 하는 3차원 인덕터 모델.

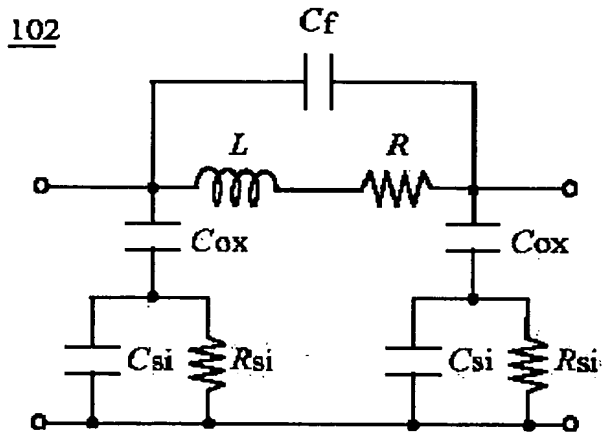
도면



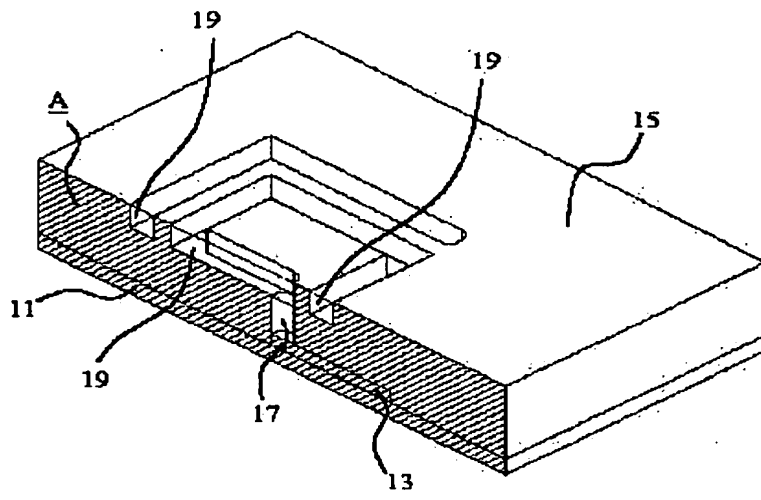
도면1



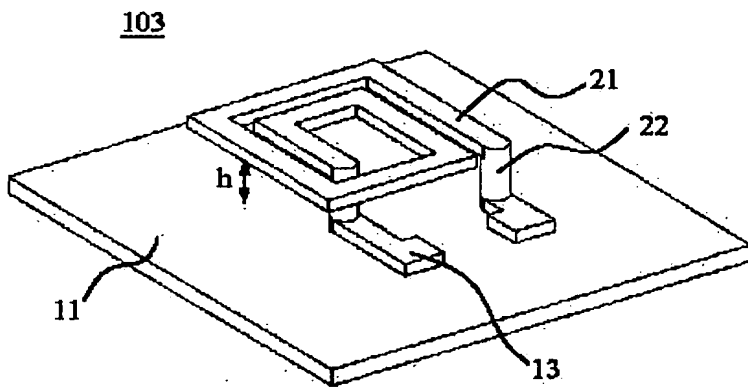
도면2



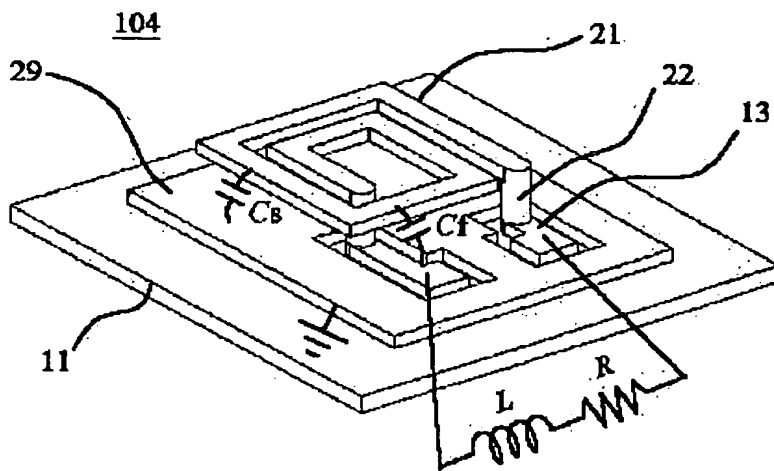
도 3



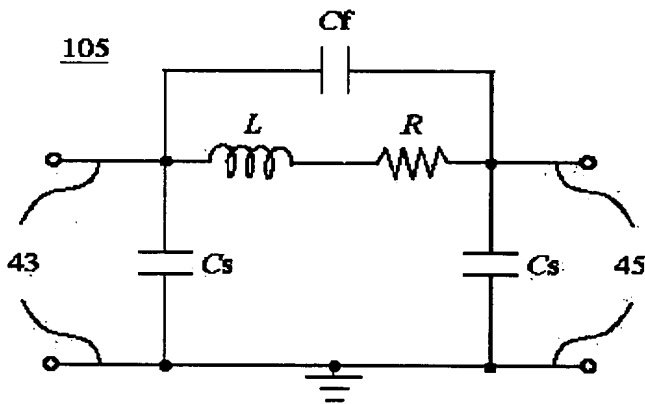
도 4



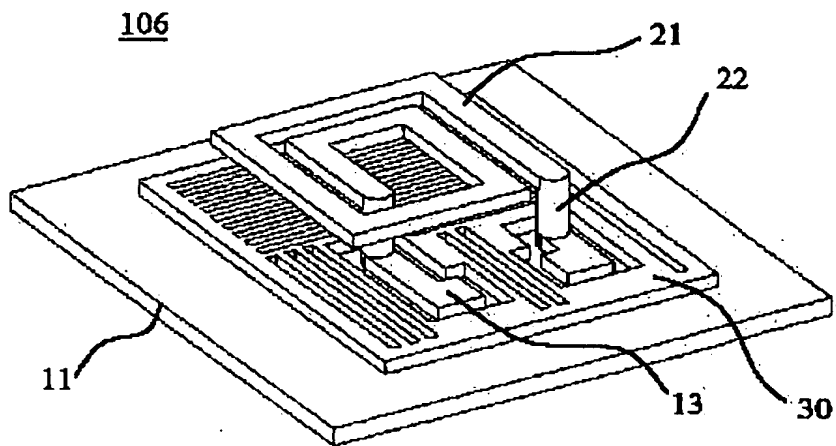
도 5



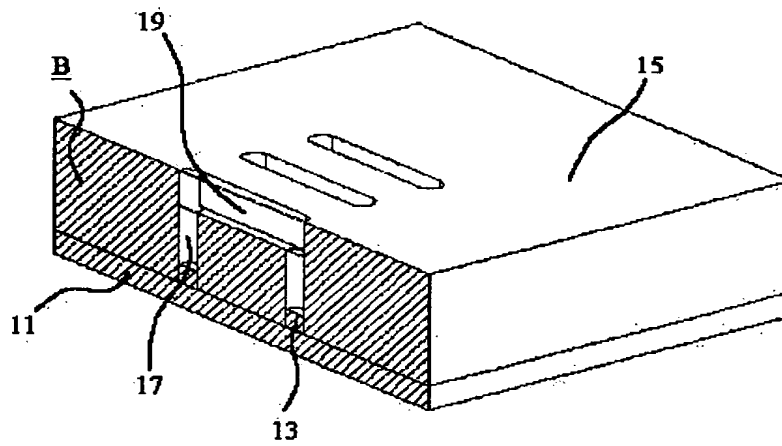
도 8



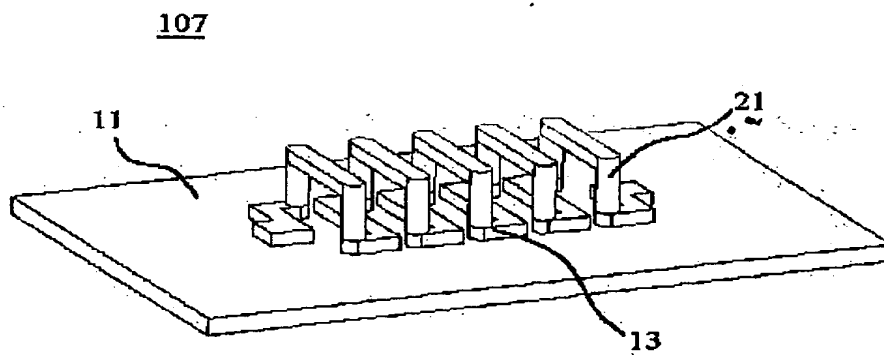
도 17



도 18

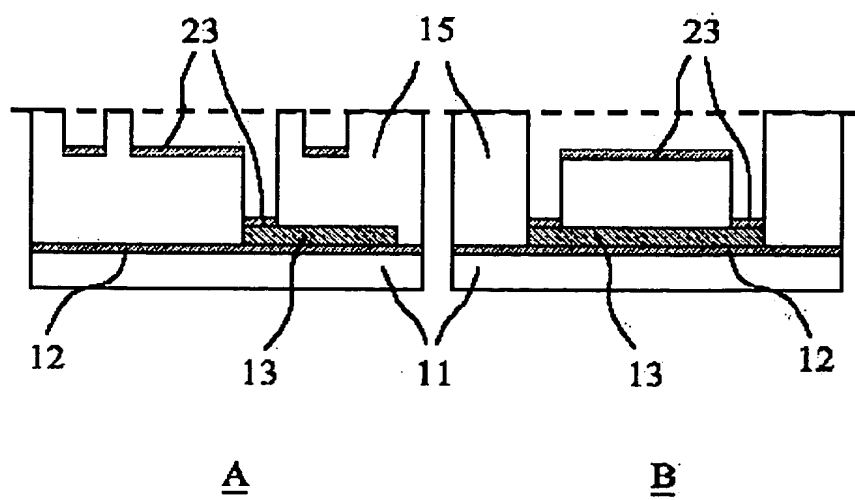


도 19

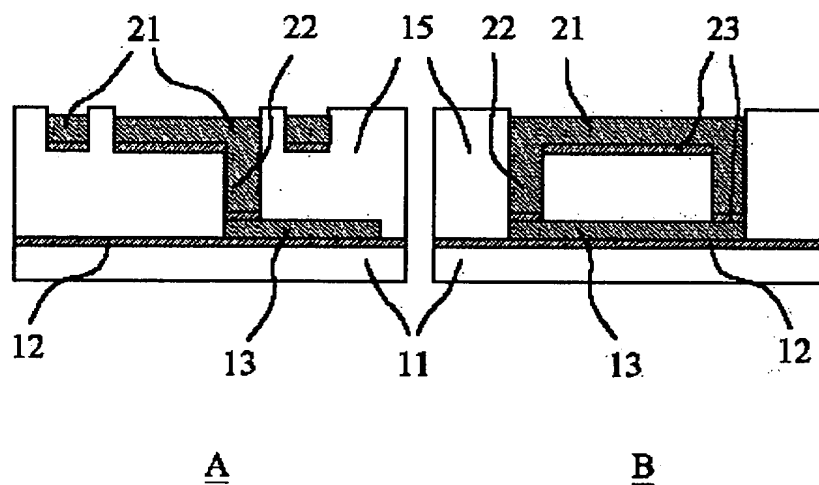




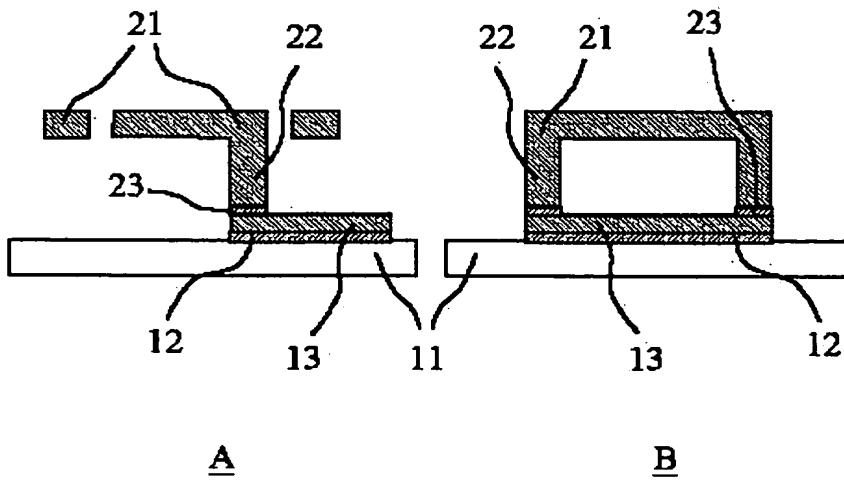
도 10d



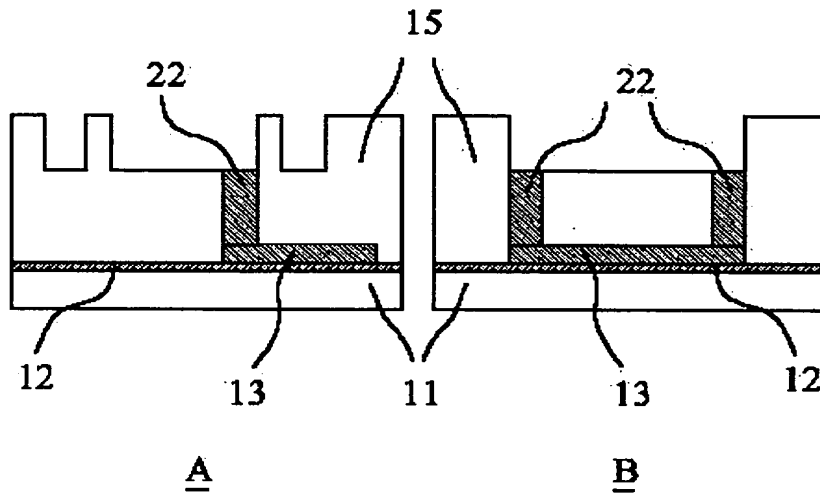
도 10e



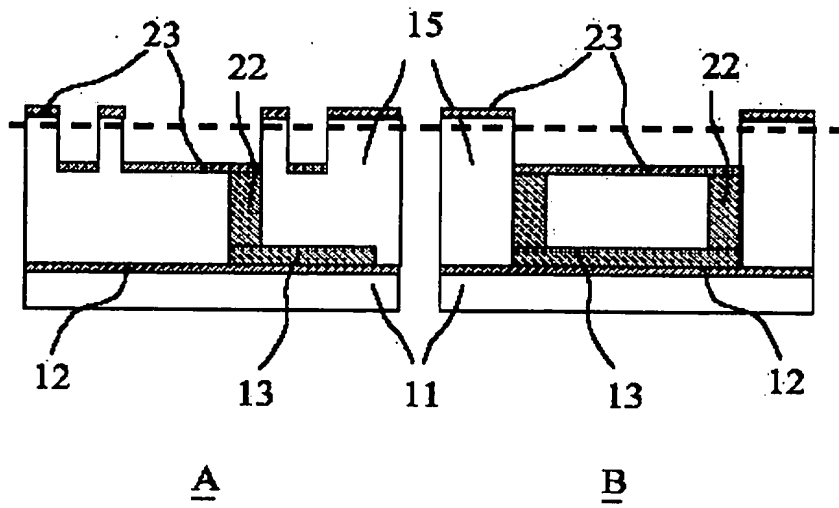
도면 10f



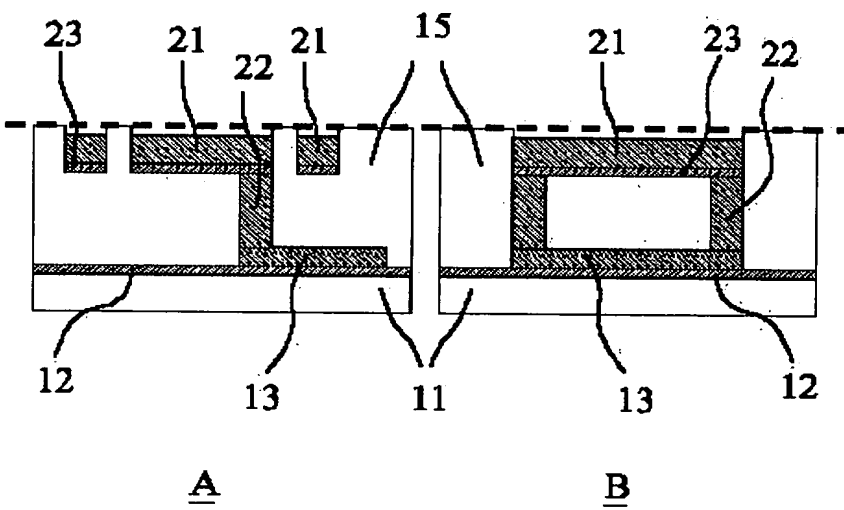
도면 10g



도 10h

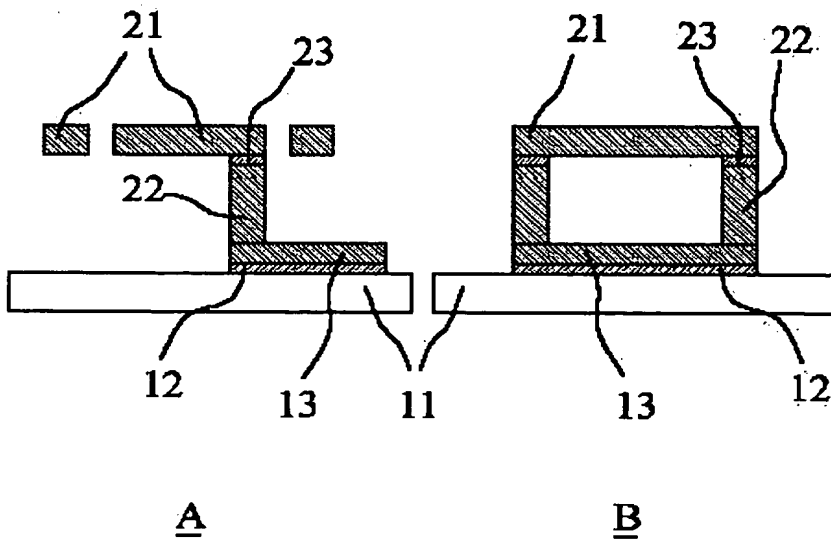


도 10i

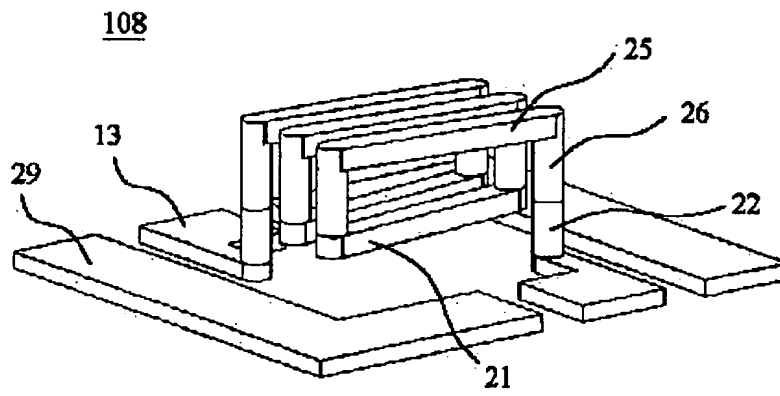




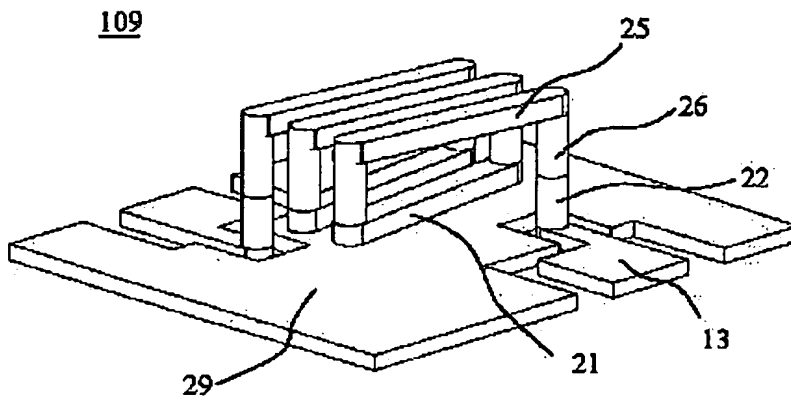
도면 10j



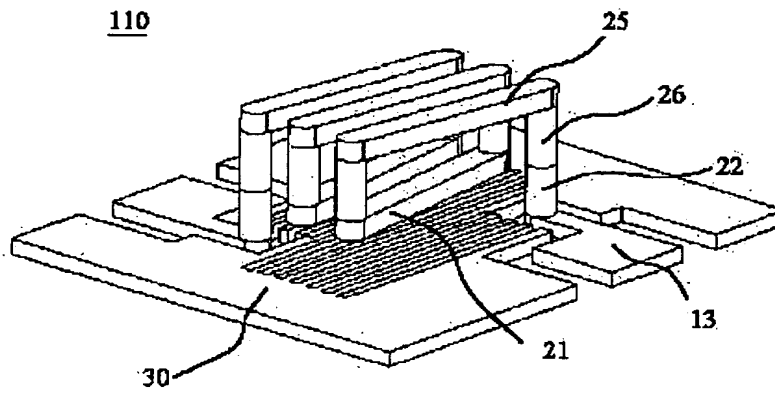
도면 11



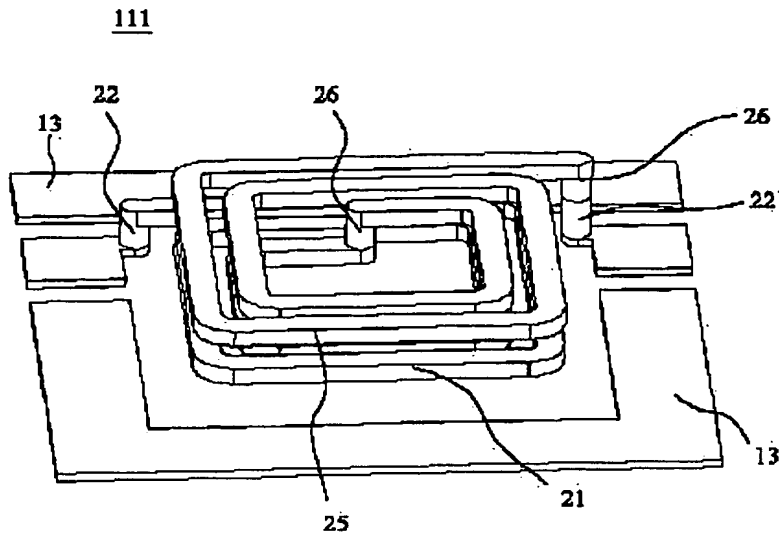
도면12



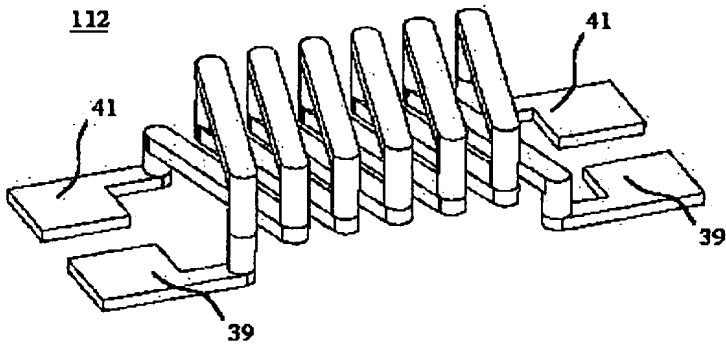
도면13



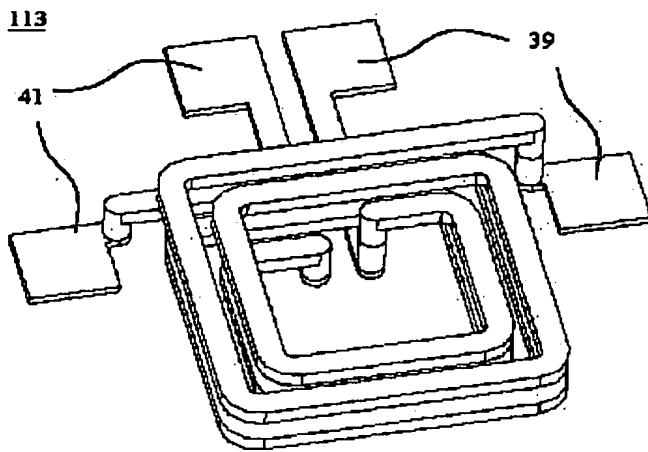
도면 14



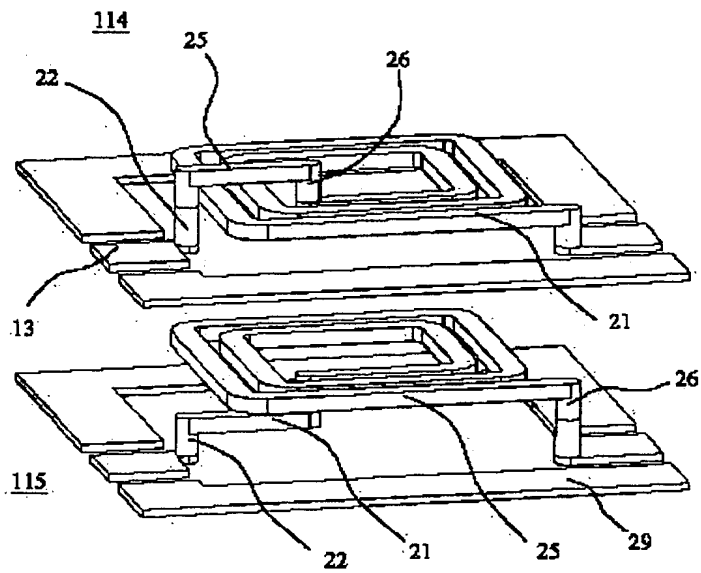
도면 15



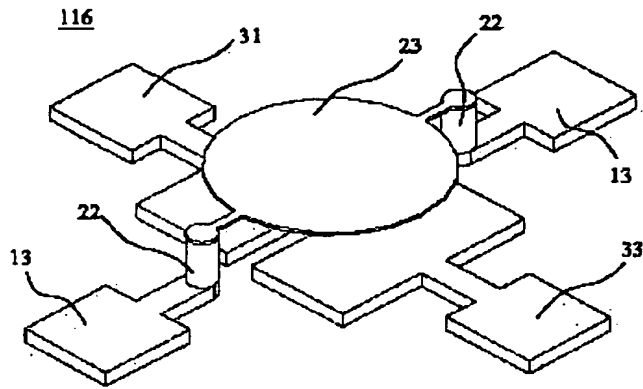
도면 10



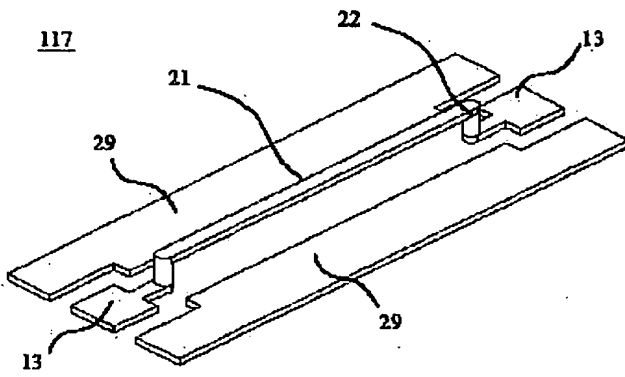
도면 17



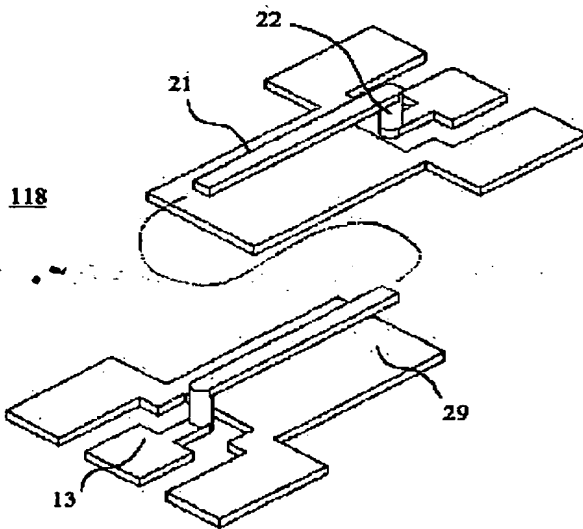
도면18



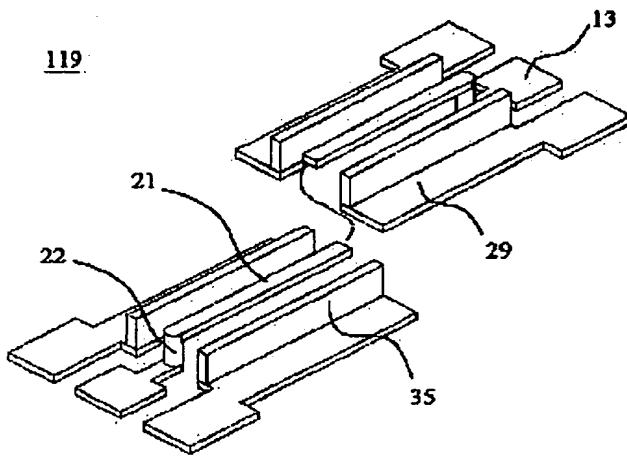
도면19



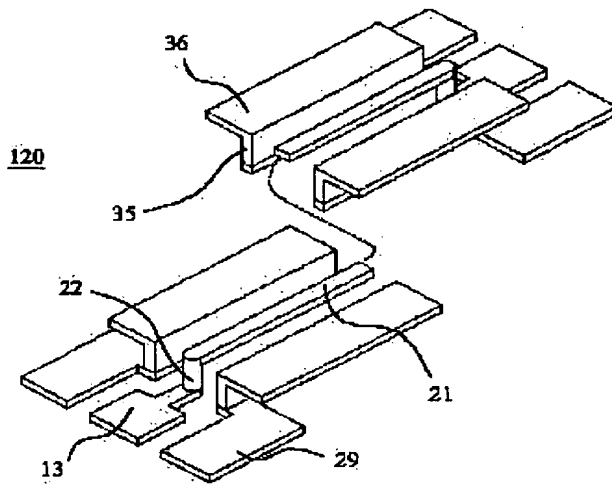
도면20



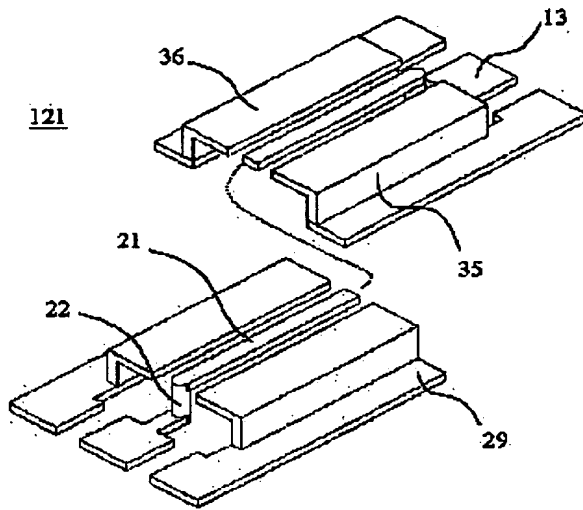
도 21



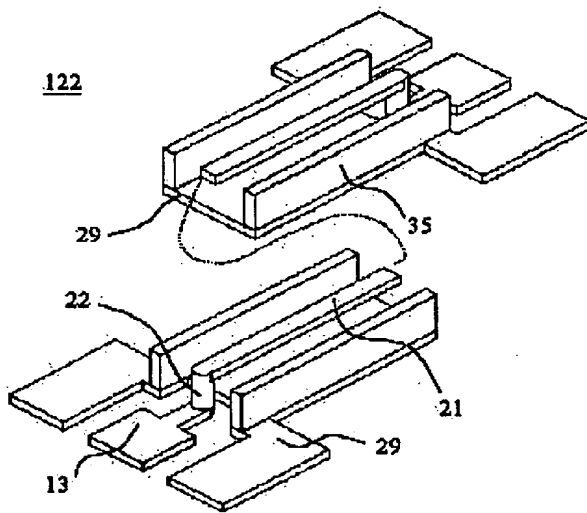
도 22



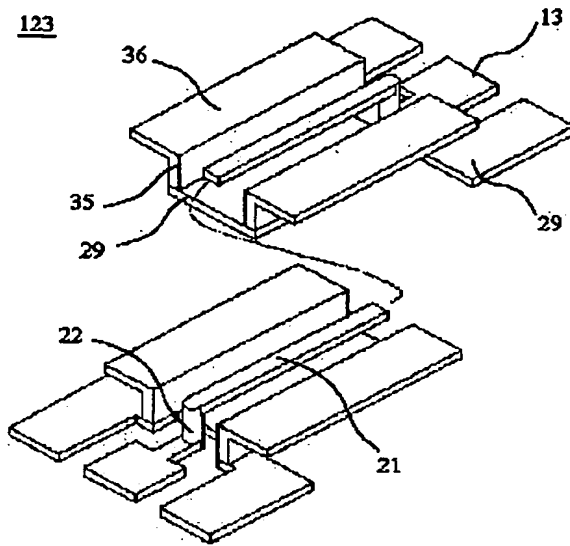
도 23



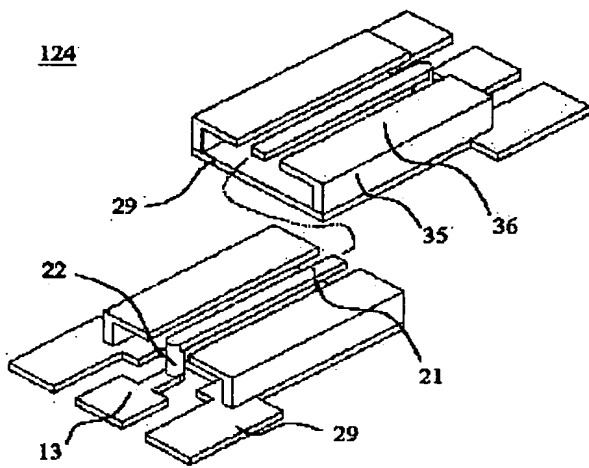
도 24



도 25

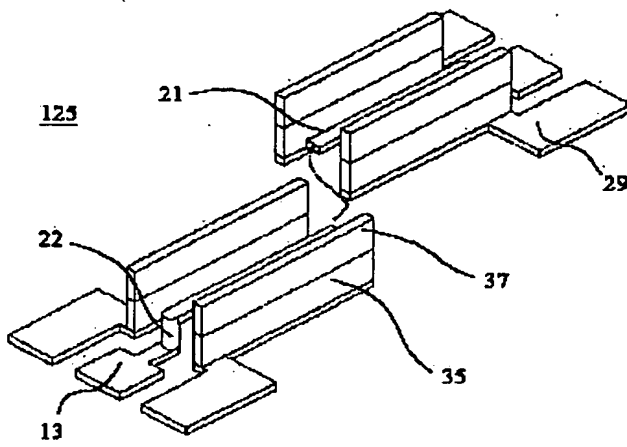


도 26

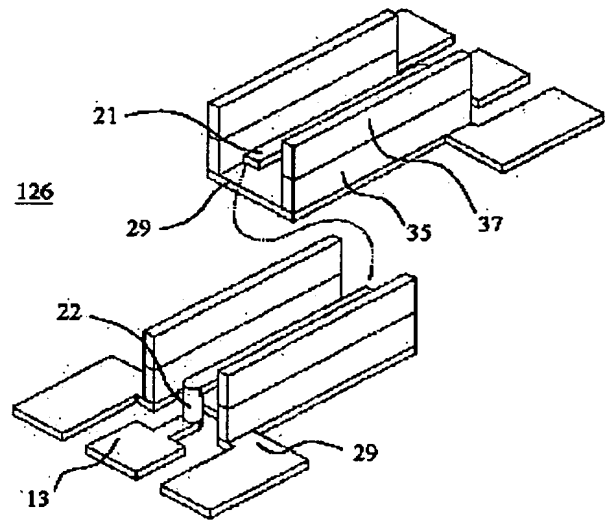




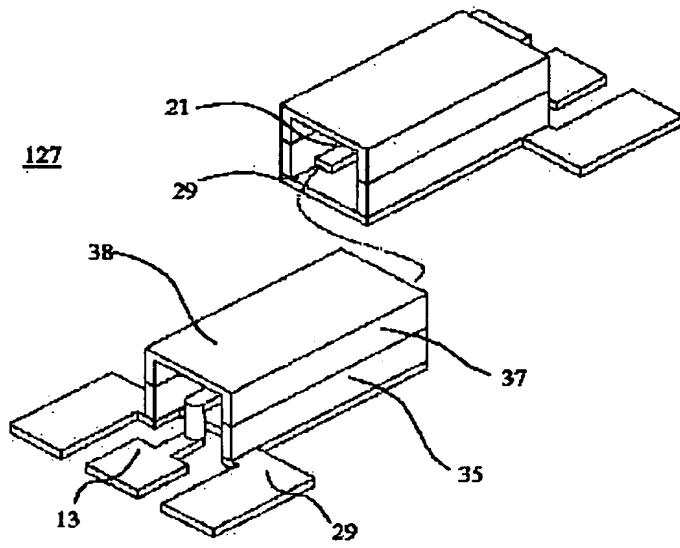
도면 27



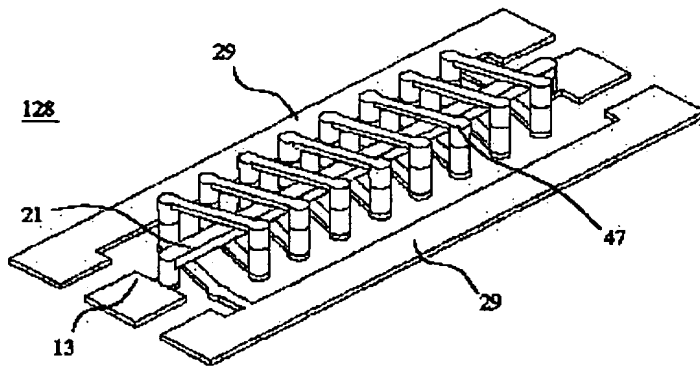
도면 28



도 29

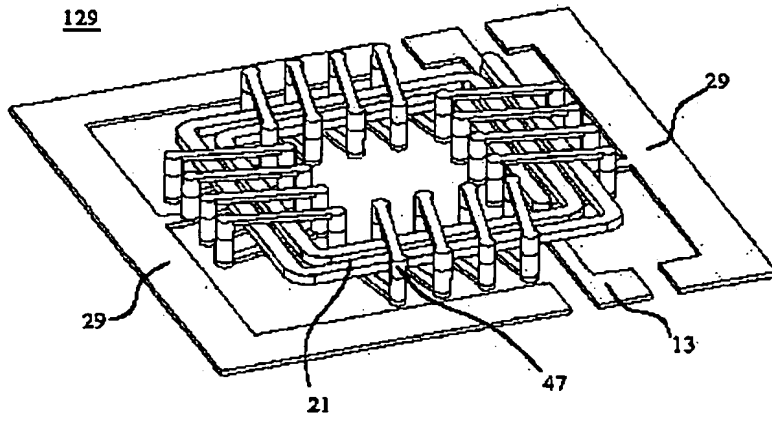


도 30



도 31

129



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.